

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043934

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H03L 7/081

G06F 1/06

G11C 11/407

H03K 5/13

(21)Application number : 2000-221809

(71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 24.07.2000

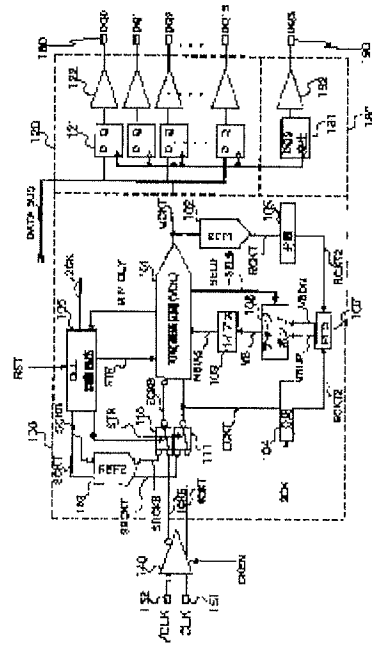
(72)Inventor : OKUDA YUICHI  
CHIGASAKI HIDEO  
MIYASHITA HIROMOTO

(54) CLOCK GENERATING CIRCUIT AND CONTROL METHOD, AND SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To solve a problem of a conventional clock generating circuit employing a DLL(Delay locked loop), an SMD (synchronous mirror delay), an NDC and a BDD mounted on a DDR SDRAM (double data rate synchronism dynamic random access memory) that has narrowed a frequency range (lock range) locked by the conventional clock generating circuit depending on the performance of a variable delay circuit and a forward delay circuit and the performance of an input output buffer because of a fixed delay clock cycle number with a clock period  $t_{CK}$  from a clock input terminal to a data output terminal.

**SOLUTION:** A variable delay circuit (101) is used to measure an optimum cycle number of a delay from an external clock until a data output, and a DLL circuit or the like is configured by locking at the cycle number to realize the clock generating circuit with a wide lock range independently of the performance of the variable delay circuit and a clock access time.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-43934

(P2002-43934A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 3 L 7/081		H 0 3 K 5/13	5 B 0 2 4
G 0 6 F 1/06		H 0 3 L 7/08	J 5 B 0 7 9
G 1 1 C 11/407		G 0 6 F 1/04	3 1 2 A 5 J 0 0 1
H 0 3 K 5/13		G 1 1 C 11/34	3 5 4 C 5 J 1 0 6
			3 6 2 S

審査請求 未請求 請求項の数11 O L (全 29 頁)

(21)出願番号 特願2000-221809(P2000-221809)

(22)出願日 平成12年7月24日(2000.7.24)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 奥田 裕一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74)代理人 100085811

弁理士 大日方 富雄

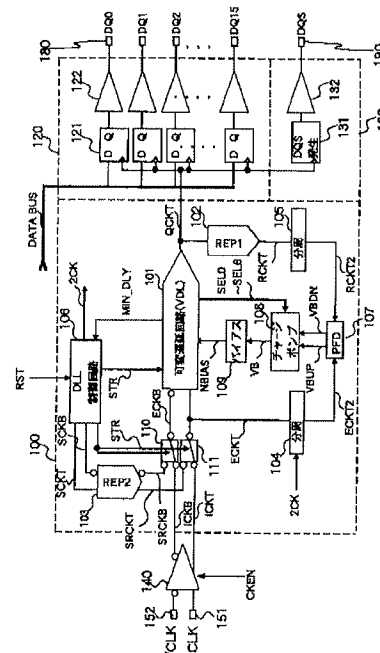
最終頁に続く

(54)【発明の名称】 クロック生成回路および制御方法並びに半導体記憶装置

(57)【要約】

【課題】 従来のDDR SDRAMに搭載されるクロック生成回路、DLL、SMD、NDC、BDDなどは、クロック入力端子からデータ出力端子までの遅延量はクロック周期t<sub>CK</sub>のサイクル数は固定であった。サイクル数が固定であると、可変遅延回路や順方向遅延回路の性能と入出力バッファの性能によって、クロック生成回路がロックできる周波数範囲(ロックレンジ)が狭くなってしまおう問題点があった。

【解決手段】 可変遅延回路(101)を用いて、外部クロックからデータ出力までの遅延量の最適なサイクル数を測定し、そのサイクル数でロックを行えるようにDLL回路などを構成することにより、可変遅延回路の性能とクロックアクセス時間に関わらず広いロックレンジを有するクロック生成回路を実現できるようにした。



【特許請求の範囲】

【請求項 1】 少なくとも 1つの入力端子と、少なくとも 1つの出力端子と、

前記入力端子に信号が入力された時刻から前記出力端子より信号が出力するまでの時間に対応した所定の遅延を付与する固定遅延付与手段と、

遅延時間制御端子を持つ可変遅延素子を 1つ以上組み合わせた可変遅延回路と、

前記可変遅延回路に入力される前の信号と前記可変遅延回路および前記固定遅延付与手段で遅延された信号の位相差を検出する位相検出回路と、

前記位相検出回路により検出された位相差に応じて前記可変遅延回路における遅延量を制御する遅延量制御手段と、

前記可変遅延回路へ入力されてから前記位相検出回路において位相比較が行なわれるまでの遅延のクロックサイクル数を決定するサイクル数決定手段とを備え、

前記遅延量制御手段は、前記サイクル数決定手段により決定されたクロックサイクル数に応じて前記可変遅延回路の遅延量を制御することを特徴とするクロック生成回路。 10

【請求項 2】 前記固定遅延付与手段は、前記入力端子から前記可変遅延回路までの信号経路の遅延と、前記可変遅延回路から前記出力端子までの信号経路の遅延との和に相当する固定遅延を入力信号に付与することを特徴とする請求項 1 に記載のクロック生成回路。

【請求項 3】 前記固定遅延付与手段は、前記可変遅延回路の後段に設けられていることを特徴とする請求項 1 または 2 に記載のクロック生成回路。

【請求項 4】 前記可変遅延回路は、複数の可変遅延素子が直列に接続されてなり、入力された信号が出力されるまでに通過する可変遅延素子の段数が制御されることで遅延量可変に構成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載のクロック生成回路。 30

【請求項 5】 前記可変遅延回路の入力から固定遅延回路の出力までの遅延量のクロックサイクル数を、前記可変遅延回路からの信号に基づいて制御するサイクル数制御手段を備えたことを特徴とする請求項 4 に記載のクロック生成回路。

【請求項 6】 前記位相検出回路により検出された位相差に応じて前記可変遅延回路の遅延量を制御する信号もしくは電圧を発生する手段が設けられていることを特徴とする請求項 1 ないし 5 のいずれかに記載のクロック生成回路。 40

【請求項 7】 前記位相検出回路の前段に前記可変遅延回路に入力される前の信号を分周する第 1 の分周回路を備え、

該第 1 の分周回路は前記サイクル数決定手段により決定されたクロックサイクル数に応じて分周段数が制御されるときともに、クロックサイクル数に応じて位相がクロッ 50

ク周期分異なる信号を出力するように構成されていることを特徴とする請求項 5 または 6 に記載のクロック生成回路。

【請求項 8】 前記遅延量制御手段は前記位相検出回路により検出された位相差に応じた電圧を発生するフィルタ容量を備え、該フィルタ容量は、前記可変遅延回路における入力された信号が出力されるまでに通過する可変遅延素子の段数に応じて容量値が可変に構成されていることを特徴とする請求項 1 ないし 7 のいずれかに記載のクロック生成回路。

【請求項 9】 請求項 1 ないし 8 のいずれかに記載のクロック生成回路を備え、該クロック生成回路に外部から供給されるクロック信号を入力して生成されたクロック信号をタイミング信号としてデータ出力を行なうように構成されてなることを特徴とする半導体記憶装置。

【請求項 10】 前記固定遅延付与手段の前段又は後段に、第 2 分周回路を備え、前記第 2 分周回路は前記サイクル数決定手段により決定されたクロックサイクル数に応じて分周段数が制御されるときともに、クロックサイクル数に応じて位相がクロック周期分異なる信号を出力するように構成されていることを特徴とする請求項 7 に記載のクロック生成回路。

【請求項 11】 少なくとも 1つの入力端子と、少なくとも 1つの出力端子と、  
前記入力端子に信号が入力された時刻から前記出力端子より信号が出力するまでの時間に対応した所定の遅延を付与する固定遅延付与手段と、  
遅延時間制御端子を持つ可変遅延素子を 1つ以上組み合わせた可変遅延回路と、

前記可変遅延回路に入力される前の信号と前記可変遅延回路および前記固定遅延付与手段で遅延された信号の位相差を検出する位相検出回路と、

前記位相検出回路により検出された位相差に応じて前記可変遅延回路における遅延量を制御する遅延量制御手段と、

前記可変遅延回路へ入力されてから前記位相検出回路において位相比較が行なわれるまでの遅延のクロックサイクル数を決定するサイクル数制御手段とを備えたクロック生成回路において、

前記サイクル数制御手段は、前記可変遅延回路に外部クロック信号もしくは外部クロック信号と同期し所定の遅延を有する試験信号を入力して、前記可変遅延回路の所定の遅延段から得られる信号を観測して最適なクロックサイクル数を決定した後、前記遅延量制御手段が前記サイクル数制御手段により決定されたクロックサイクル数に応じて前記可変遅延回路の遅延量を制御するようにしたことを特徴とするクロック生成回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、外部クロック信号に同期した内部クロック信号を生成するクロック生成回路さらにはDLL（ディレイ・ロックド・ループ）回路やSMD（シンクロナス・ミラー・ディレイ）回路を用いたクロック生成回路に関し、例えばSDRAM（同期式ダイナミック型ランダム・アクセス・メモリ）における出力タイミングを決定するクロック信号を生成するクロック生成回路に利用して有効な技術に関する。

【0002】

【従来の技術】近年、SDRAMのデータ転送レートを高速化する手段として、入力クロックの2倍の速度でデータの入出力を行うDDR（ダブル・データ・レート）方式のSDRAMが注目されている。DDR SDRAMでは高速でデータの入出力を行うため、DLLやSMDと呼ばれるクロック生成回路を搭載して、外部クロックの位相とデータ出力の位相を一致させることが行なわれている。これは、外部クロックに対する出力データのセットアップ時間を十分に確保するためであり、外部クロックの位相とデータ出力の位相を一致させた場合、読出しコマンドが入力されてからデータが出力されるまでの時間は外部クロックの周期の整数倍となる。

【0003】DLL回路やSMD回路は、クロック入力端子から入力され入力初段回路でCMOSレベルに増幅されたクロックを可変遅延回路に通すことにより、所望の位相を持つ内部クロックを発生させる。この内部クロックはデータ出力ラッチを駆動し、ラッチされたデータが出力バッファを通して外部に出力される。この出力データの位相が外部クロックの位相に一致するように内部クロックの位相が設定される。内部クロックの位相を決定する可変遅延回路の遅延量をフィードバックループで制御する方式がDLLであり、遅延量測定回路で遅延量を決める方式がSMDである（特開平10-79663号公報、特開平11-225067号公報）。

【0004】

【発明が解決しようとする課題】上述したSDRAMは、CPUの高速化に伴って今後ともさらなる高速化が要求されると予想されるが、高速化すればするほど消費電力は大きくなる。ここで、SDRAMの使用形態を考えると、CPUが演算等を行なっているときはSDRAMも高速で動作することが必要である。しかし、CPUが演算を行なっていないようなときは、SDRAMは高速で動作する必要はなく、クロック周期を伸ばして低速動作させることで消費電力を抑えることができる。

【0005】ところが、従来のDLLやSMDを用いたSDRAMでは、読出しコマンド入力からデータ出力までの遅延クロックサイクル数は一定であった。また、DLLやSMDが所望の位相を持つクロックを出力することができる外部クロックの周波数範囲（クロック周期範囲：以下、ロックレンジと称する）は可変遅延回路の性能と、クロック生成回路で補正しないときの外部クロッ

クと出力データとの位相差（以下、クロックアクセス時間と称する）とによって決定してしまっていた。

【0006】例えば、可変遅延回路の最小遅延量を $t_{dmin}$ 、可変遅延回路の最大遅延量を $t_{dmax}$ 、クロックアクセス時間を $t_{ca}$ 、読出しコマンド入力からデータ出力までの遅延サイクル数を $n$ とすると、

外部クロックの最小周期  $= (t_{dmin} + t_{ca}) / n$

外部クロックの最大周期  $= (t_{dmax} + t_{ca}) / n$

となる。上記式を見ると明らかなように、可変遅延回路の性能すなわち $t_{dmin}$ 、 $t_{dmax}$ が一定であるとする、SDRAMの高速化のために $n$ を大きくして外部クロックの最小周期を下げようとする、外部クロックの最大周期が減少し、速度を落とすため $n$ を小さくして外部クロックの最大周期を上げようとする、外部クロックの最小周期が増大してしまう。従って、 $n$ が一定の場合に外部クロックの許容最小周期を下げ、しかも外部クロックの許容最大周期を上げることができるようにするには、可変遅延回路の遅延可変範囲を大きくしなければならない。

【0007】しかし、従来の回路形式のままそのようにしようとする、遅延用ゲートの段数を増加させなければならないため、可変遅延回路の回路規模が大きくなって占有面積の増大ならびに消費電力の増加を招いてしまうという問題がある。

【0008】本発明の目的は、比較的小さな回路規模で広いロックレンジを有するクロック生成回路を提供することにある。この発明の前記ならびにその他の目的と新規な特徴は、本発明の記述および添付図面から明かになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。

【0010】すなわち、DLLならば可変遅延回路、SMDならば遅延量測定回路を用い、外部クロックからデータ出力までの遅延量の最適なサイクル数を測定し、そのサイクル数でロックを行えるように回路を構成することにより、可変遅延回路の性能とクロックアクセス時間に関わらず広いロックレンジを有するクロック生成回路を実現できるようにしたものである。

【0011】より具体的には、少なくとも1つの入力端子と、少なくとも1つの出力端子と、前記入力端子に信号が入力された時刻から前記出力端子より信号が出力するまでの時間に対応した所定の遅延を付与する固定遅延付与手段と、遅延時間制御端子を持つ可変遅延素子を1つ以上組み合わせた可変遅延回路と、前記可変遅延回路に入力される前の信号と前記可変遅延回路および前記固定遅延付与手段で遅延された信号の位相差を検出する位相検出回路と、前記位相検出回路により検出された位相差に応じて前記可変遅延回路における遅延量を制御する

遅延量制御手段と、前記可変遅延回路へ入力されてから前記位相検出回路において位相比較が行なわれるまでの遅延のクロックサイクル数を決定するサイクル数決定手段とを備えたクロック生成回路において、前記遅延量制御手段は、前記サイクル数決定手段により決定されたクロックサイクル数に応じて前記可変遅延回路の遅延量を制御するようにした。

【0012】あるいは、少なくとも1つの入力端子と、少なくとも1つの出力端子と、前記入力端子に信号が入力された時刻から前記出力端子より信号が出力するまでの時間に対応した所定の遅延を付与する固定遅延付手段と、遅延時間制御端子を持つ可変遅延素子を1つ以上組み合わせた可変遅延回路と、前記可変遅延回路に入力される前の信号と前記可変遅延回路および前記固定遅延付手段で遅延された信号の位相差を検出する位相検出回路と、前記位相検出回路により検出された位相差に応じて前記可変遅延回路における遅延量を制御する遅延量制御手段と、前記可変遅延回路へ入力されてから前記位相検出回路において位相比較が行なわれるまでの遅延のクロックサイクル数を決定するサイクル数制御手段とを備えたクロック生成回路において、前記サイクル数制御手段は、前記可変遅延回路に外部クロック信号もしくは外部クロック信号と同期し所定の遅延を有する試験的信号を入力して、前記可変遅延回路の所定の遅延段から得られる信号を観測して最適なクロックサイクル数を決定した後、前記遅延量制御手段が前記サイクル数制御手段により決定されたクロックサイクル数に応じて前記可変遅延回路の遅延量を制御するようにする。

【0013】上記した手段によれば、クロックの周期が長いときはクロックサイクル数を少なくしクロックの周期が長いときはクロックサイクル数を多くすることで、クロックサイクル数が固定の場合に比べて遅延量可変範囲の比較的狭い可変遅延回路を用いてロックレンジの広いクロック生成回路を実現することができる。

【0014】また、前記固定遅延付手段は、前記入力端子から前記可変遅延回路までの信号経路の遅延と、前記可変遅延回路から前記出力端子までの信号経路の遅延との和に相当する固定遅延を入力信号に付与するように構成する。これにより、外部から入力されるクロック信号に同期した出力クロックを生成することができる。

【0015】前記可変遅延回路は、複数の可変遅延素子が直列に接続されてなり、入力された信号が出力されるまでに通過する可変遅延素子の段数が制御されることで遅延量可変に構成する。複数の可変遅延素子が直列に接続されていることにより、1つの1つの可変遅延素子における遅延量の制御に加えて遅延素子の段数の切り替えによる遅延量の制御が可能になるため、可変遅延回路の遅延量の可変範囲が広がる。

【0016】さらに、前記可変遅延回路の入力から固定遅延回路の出力までの遅延量のクロックサイクル数を、

前記可変遅延回路からの信号に基づいて制御するサイクル数制御手段を設けたので、自動的に最適なクロックサイクル数を検出してそれに基づいた遅延量の制御が可能となる。

【0017】また、前記位相検出回路により検出された位相差に応じて前記可変遅延回路の遅延量を制御する信号もしくは電圧を発生する手段を設ける。これにより、フィードバックループによる自動的な位相合わせが可能となる。

【0018】さらに、前記位相検出回路の前段に前記可変遅延回路に入力される前の信号を分周する第1の分周回路を備え、該第1の分周回路は前記サイクル数決定手段により決定されたクロックサイクル数に応じて位相がクロック周期分異なる信号を出力するように構成する。これにより、不適切な信号エッジの位相比較によりハルモニック・ロック状態に陥るのを回避することができる。

【0019】また、前記遅延量制御手段は前記位相検出回路により検出された位相差に応じた電圧を発生するフィルタ容量を備え、該フィルタ容量は、前記可変遅延回路における入力された信号が出力されるまでに通過する可変遅延素子の段数に応じて容量値が可変に構成するのが望ましい。これにより、可変遅延回路における活性化された遅延段数の相違によって位相差に応じた電圧に対する遅延量の制御の割合が変化するのを回避し、位相ロック状態へ速やかに移行させることができるようになる。

【0020】さらに、上記のようなクロック生成回路を備えた半導体記憶装置において、クロック生成回路に外部から供給されるクロック信号を入力して生成されたクロック信号をタイミング信号としてデータ出力を行なうように構成することにより、クロックアクセス時間が短くセットアップ時間が長い半導体記憶装置を実現することができる。

【0021】

【発明の実施の形態】図1には、本発明をDDR SDRAMにおけるDLL（ディレイ・ロックド・ループ）を用いたクロック生成回路に適用した場合の一実施例を示す。

【0022】まず、大まかな構成を説明する。100はDLLを用いたクロック生成回路、120は例えば16ビットのデータDQ0～DQ15を並列に出力可能な出力回路、130はデータDQ0～DQ15と同一周期、同一位相でデータDQ0～DQ15の取込みタイミングを与えるデータストローブ信号DQSの出力回路、140は外部クロックCLK、／CLKの入力バッファ回路、151は外部クロックCLKの入力端子、152は逆相のクロック／CLKの入力端子、180は上記データDQ0～DQ15の出力端子、190は上記データストローブ信号DQSの出力端子である。出力回路120

は、出力データDQ0～DQ15の各ビットに対応して設けられたデータラッチ回路121と出力バッファ回路122とにより構成されている。

【0023】クロック生成回路100は、入力された外部クロックCLK、／CLKを遅延する可変遅延回路(VDL)101と、上記入力バッファ140の遅延量t1と上記データラッチ回路121および出力バッファ回路122の遅延量t3との和(t1+t3)に相当する遅延量を有し上記可変遅延回路101の出力を遅延するレプリカ遅延回路(REP1)102と、入力バッファ140により取り込まれた外部クロックECKTを4分周する分周回路104、レプリカ遅延回路102の出力RCKTを4分周する分周回路105、上記可変遅延回路101と分周回路104の動作を制御するDLL制御回路106、分周回路104、105で分周されたクロックECKT2とRCKT2の位相を比較して位相差を検出する位相周波数比較器(PFD)107と、位相周波数比較器107の出力VBUP、VBDNに基づいて位相差に応じた電圧VBを発生するチャージポンプ回路108、発生電圧VBに基づいて可変遅延回路101

に対する遅延量制御信号NBiasを生成するバイアス回路109などから構成されている。

【0024】さらに、本実施例のクロック生成回路100には、上記レプリカ遅延回路102と同様の構成を有し上記可変遅延回路101からの信号を遅延する第2レプリカ遅延回路(REP2)103と、上記入力バッファ140により取り込まれた外部クロックICKT、ICKBまたは上記第2レプリカ遅延回路103で遅延された信号SRCKT、SRCKBのいずれかを選択して可変遅延回路101に供給する切替えスイッチ110、

111とが設けられている。切替えスイッチ110、111は上記DLL制御回路106からの制御信号STRによって切替え制御が行なわれる。

【0025】本実施例の特徴は、DLL制御回路106と第2レプリカ遅延回路103と可変遅延回路101で、可変遅延回路101の最適な段数と、外部クロックからデータ出力までの遅延量の最適なサイクル数nを測定する。そして、測定結果に従って可変遅延回路の動作段数を決定し、サイクル数nの測定結果に基づく制御信号2CKで4分周回路104から立上がり相互に1サイ

クルずれた2つの分周クロックのうちいずれを出力させるか制御することで、広いロックレンジを得ることにある。DLL制御回路106は、DLL全体の制御信号を発生する回路であり、DLL制御回路106からは上\*

$$t1+t2+tDIV+(t1+t3)=t1+tDIV+tCK \cdots \cdots (式1)$$

である。この式を整理すると、

$$t2=tCK-(t1+t3)$$

$$t1+t2+t3=tCK$$

となる。これを図により説明すると、図2(A)に示すように、外部クロックCLK、／CLKの周期tCKに

\* 記制御信号STRや2CKの他にも様々な制御信号が発生されるが、図1には本発明の内容に関係がある信号のみを示している。

【0026】次に、本実施例のクロック生成回路100の機能および動作を説明する。

【0027】上記の通り、DDR SDRAMにおけるクロック生成回路100は、データ出力DQ0～DQ15の位相と入力クロックCLK、／CLKの位相とが一致するように、内部クロックQCKTの位相を調整する回路である。位相制御動作を理解するため、まず切り替えスイッチ110、111が入力バッファ140により取り込まれた外部クロックICKT、ICKBを可変遅延回路101へ供給する状態にあるとする。

【0028】ここで、クロック入力バッファ140の遅延量をt1、可変遅延回路101の遅延量をt2(可変)、データ出力ラッチ121とデータ出力バッファ122の遅延量の合計をt3、4分周回路104と4分周回路105の遅延量をtDIVとする。レプリカ遅延回路102は可変遅延回路101で遅延されたクロックQCKTに所望の位相を与えるため、クロックアクセス時間と等しい遅延量(t1+t3)を持たせてある。位相周波数比較器107は4分周回路104と4分周回路105で分周されたクロックECKT2とRCKT2の位相を一致させるようにVPUP、VPDN信号を出力して、可変遅延回路101の遅延量t2の値を制御する。

【0029】これによって、クロック生成回路100においては、外部クロックCLK、／CLKの周期をtCKとすると、CLK、／CLKに対する可変遅延回路101の出力側クロックQCKTの遅延は、入力バッファ140の遅延量t1と可変遅延回路101の遅延量t2との和であるので、

$$t1+t2$$

同様に、4分周回路105の出力側クロックRCKT2の遅延は

$$t1+t2+tDIV+(t1+t3)$$

一方、4分周回路104の出力側クロックECKT2の遅延は

$$t1+tDIV$$

である。

【0030】ここで、RCKT2の位相とECKT2の位相が等しくなるように制御されるので、1クロックサイクルで位相合わせが行なわれたとすると、次の式が成り立つ。すなわち、

して、入力バッファ140の遅延量t1と可変遅延回路101の遅延量t2と出力ラッチ121およびデータ出力バッファ122の遅延量t3との和(t1+t2+t3)が一致するように、可変遅延回路101の遅延量t2が制御されることを意味している。

【0031】ところで、上記説明は、1クロックサイクルで位相合わせが行なわれた場合である。図1のクロック生成回路100は理論的にはすなわち可変遅延回路101の遅延量 $t_2$ が0～無限に制御可能であるとする、位相合わせは1クロックサイクルでなく $n$ クロックサイクル( $n$ は自然数)で行なわれても良い。これを式で表わすと、

$$t_1 + t_2 + t_{DIV} + (t_1 + t_3) = t_1 + t_{DIV} + n \times t_{CK}$$

となる。この式を整理すると、

$$t_2 = n \times t_{CK} - (t_1 + t_3)$$

よって、QCKTの遅延は

$$n \times t_{CK} - t_3$$

となる。また、出力データDQ0～DQ15の遅延は、上記QCKTの遅延( $n \times t_{CK} - t_3$ )と出力ラッチ121とデータ出力バッファ122の遅延量 $t_3$ との和であるので、 $n \times t_{CK}$ となる。これによって、出力データDQ0～DQ15の位相は入力クロックCLK、/CLKの位相等しくされる。このことより、可変遅延回路101の遅延量 $t_2$ とクロックアクセス時間( $t_1 + t_3$ )との合計値は $n \times t_{CK}$ となることが分かる。つまり、

$$t_2 + (t_1 + t_3) = n \times t_{CK} \quad \dots\dots (式2)$$

である。ここで、 $n$ の値は任意の自然数である。以下、サイクル数 $n$ の値を用いて、例えば1CKロック、2CKロックのように $n$ CKロックと呼ぶこととする。

【0032】図2(B)には、2クロックサイクルで回路が位相ロックする2CKロックの場合における入力バッファ140の遅延量 $t_1$ と可変遅延回路101の遅延量 $t_2$ と出力ラッチ121およびデータ出力バッファ122の遅延量 $t_3$ との和( $t_1 + t_2 + t_3$ )とクロックサイクル $t_{CK}$ との関係を示す。2CKロックの場合、図2(B)に示すように、( $t_1 + t_2 + t_3$ ) =  $2 t_{CK}$ の関係になるように、可変遅延回路101の遅延量 $t_2$ が制御される。同様に、3CKロックの場合には、( $t_1 + t_2 + t_3$ ) =  $3 t_{CK}$ の関係になるように、可変遅延回路101の遅延量 $t_2$ が制御される。

【0033】さらに、本実施例においては、位相周波数検出回路107の前段に4分周回路104、105を設けてECKTとRCKTを分周したクロックの位相を比較するようにしている。これは、ハーモニック・ロックによる誤動作を防ぐためである。

【0034】図3を用いて、ハーモニック・ロックとその対策について説明する。まず、可変遅延回路101の遅延量は最小であるため $t_2 + (t_1 + t_3)$ も最小であるとする。

【0035】外部クロックCLK、/CLKが入力されると、これに応じたクロックECKTの立ち上がりエッジE\_0は、可変遅延回路101及びレプリカ遅延回路102を伝播してクロックRCKTの立ち上がりエッジ

R\_0となる。エッジE\_0からR\_0までの遅延量は $t_2 + (t_1 + t_3)$ である。同様にエッジE\_2はR\_2、E\_3はR\_3……となる。ここで、外部クロックCLK、/CLKの周期 $t_{CK}$ が大きく、図3(a)、

(b)のように $t_2 + (t_1 + t_3) < t_{CK}/2$ である場合を考えると、クロックRCKTの立ち上がりエッジR\_0に最も位相が近いクロックECKTの立ち上がりエッジはE\_0である。よって、クロックECKT、RCKTを直接位相周波数検出回路107に入力して位相制御を行うと、R\_0の位相をE\_0へ一致させるように可変遅延回路101の遅延量 $t_2$ を小さくさせる方向への制御が行なわれる。しかしこの時点で、可変遅延回路101の遅延量 $t_2$ は既に最小であるので、クロックRCKTの立ち上がりエッジをクロックECKTの立ち上がりエッジに一致させることはできない。この状態がハーモニック・ロックによる誤動作である。

【0036】ハーモニック・ロックによる誤動作を防ぐため、図1のDLLでは4分周回路104及び105が設けられている。そのため、4分周回路105から出力されるクロックRCKT2は、図3(e)のような位相と周期を持つ。つまり、4分周回路105はクロックRCKTの立ち上がりエッジR\_0からRCKT2の立ち上がりエッジR\_2\_0を生成する。そして、 $n=1$ の場合、4分周回路104から出力されるクロックECKT2は、図3(c)のような位相を持つ。つまり、4分周回路104はクロックECKTの立ち上がりエッジE\_1からECKT2の立ち上がりエッジE\_2\_1を生成する。また、 $n=2$ の場合には、4分周回路104から出力されるクロックECKT2は、図3(d)のような位相を持つ。つまり、4分周回路104はクロックECKTの立ち上がりエッジE\_2からECKT2の立ち上がりエッジE\_2\_2を生成する。

【0037】ここで、R\_0からR\_2\_0までの遅延量と、E\_1からE\_2\_1までの遅延量と、E\_2からE\_2\_2までの遅延量は、ともに $t_{DIV}$ で等しい。図3(c)と(d)のクロックECKT2の位相は1クロックサイクル $t_{CK}$ だけずれている。4分周回路104から図3(c)または(d)のいずれのクロックを出力するかは、要求される $n$ の値に基づいてDLL制御回路106から供給される制御信号2CKによって決定される。

【0038】 $n=1$ の時、クロックECKT2の位相は(c)のようになる。このクロックECKT2、RCKT2を位相周波数検出回路107へ入力して位相比較を行なうと、RCKT2の立ち上がりエッジR\_2\_0に最も近いECKT2の立ち上がりエッジは、E\_2\_1である。従って、このとき位相周波数検出回路107は、RCKT2の立ち上がりエッジR\_2\_0をECKT2の立ち上がりエッジE\_2\_1に一致させるようにダウン信号VBDNを出力する。これは、可変遅延回路101の遅延時間 $t_2$ を大きくさせる方向であるので、ハーモニッ

ク・ロックによる誤動作を防ぐことができる。

【0039】また、 $n=2$ のとき、クロックECKT2の位相は(d)のようになる。このクロックECKT2、RCKT2を位相周波数検出回路107に投入して位相比較を行なうと、RCKT2の立ち上がりエッジR2\_0に最も近いECKT2の立ち上がりエッジはE2\_2である。従って、このとき位相周波数検出回路107は、RCKT2の立ち上がりエッジR2\_0をECKT2の立ち上がりエッジE2\_2に一致させるようにダウン信号VBDNを出力する。これは可変遅延回路101の遅延時間 $t_2$ を大きくさせる方向であるので、ハーモニック・ロックによる誤動作を防ぐことができる。

【0040】ここでは $n=1$ 、 $n=2$ の場合について説明したが、 $n=3$ 、 $n=4$ についても同様の方式で対応することができる。ただし、 $n=1$ もしくは $n=2$ の場合は4分周回路で良いが、 $n=3$ のときは6分周回路、\*

$$t_{CKmin} = (t_{2min} + (t_1 + t_3)) / n \quad \cdots \cdots (式3)$$

$$t_{CKmax} = (t_{2max} + (t_1 + t_3)) / n \quad \cdots \cdots (式4)$$

式3、式4を見て分かる通り、 $n$ を一定とするとロックレンジは、可変遅延回路101の遅延量制御範囲とクロックアクセス時間( $t_1 + t_3$ )で決定されてしまう。そこで、本発明では、前述したように、 $n$ を可変とすることで、ロックレンジの広いDLLを提供する。

【0044】次に、本実施例のDLL回路のより具体的な構成と制御方法を説明する。まず、入力バッファ回路140は、図4のように、一対の入力差動MOSFETとその共通ソース側に接続された電流源用MOSFETとドレイン側に接続された一対のアクティブ負荷MOSFETを含む2個の差動増幅回路AMP1、AMP2を組み合わせた構成を有しており、チップ外部から入力された差動のクロック信号CLK、 $\overline{CLK}$ を増幅し、CMOSレベルの差動クロックECKT、ECKBとして出力する役割を担っている。

【0045】なお、CKENは定電流用MOSFETのゲート端子に印加されて動作電流をオン、オフ制御することで入力バッファ回路140の動作を制御するクロックイネーブル信号であり、特に制限されるものではないが、クロックイネーブル信号CKENが同じくゲート端子に印加され上記電流源用MOSFETと相補的にオン、オフされて電流遮断時に出力電位を $V_{cc}$ に固定するためのMOSFETが出力ノード側の負荷MOSFETと並列に接続されている。2個の差動増幅回路AMP1、AMP2を並列に組み合わせているのは、回路を完全に対称にして差動クロック信号CLK、 $\overline{CLK}$ の真側と偽側で信号の遅延が全く同じになるようにするためである。上記入力バッファ回路140から出力された差動クロックECKT、ECKB信号は、スイッチ回路110、111を介して可変遅延回路101へ供給される。

【0046】可変遅延回路101は、図5に示されてい

\*  $n=4$ のときは8分周回路……のように、 $2n$ 分周回路が必要となる。

【0041】さて、本発明はロックレンジの広いDLLを提供することを目的としている。なお、この明細書においてロックレンジとは、DLLが所望の位相でデータラッチ用のクロックQCKTを出力できる周波数範囲ないしはクロック周期 $t_{CK}$ の範囲である。出力できるクロックの最大周波数における周期を $t_{CKmin}$ 、最小周波数における周期を $t_{CKmax}$ とする。

【0042】言うまでもないことであるが、可変遅延回路101には遅延量の制御範囲(遅延量可変範囲)が存在する。ここで、可変遅延回路101の最大遅延量を $t_{2max}$ 、最小遅延量を $t_{2min}$ とすると、式2よりロックレンジは次のように求められる。

【0043】

るように、直列に接続された8個の可変遅延素子401a~401hと、可変遅延素子401a~401hに対応して設けられた8個の差動アンプ402a~402hと、可変遅延素子401a~401hおよび差動アンプ402a~402hの活性/非活性を制御する遅延段数制御回路403と、差動アンプ402a~402hの出力TAP0~TAP7のいずれかを選択的に出力させるためのマルチプレクサ(MUX)404とから構成されている。

【0047】図6(A)に、可変遅延素子401a~401hの具体的な回路例が示されている。可変遅延素子401は、それぞれ2個の差動インバータINV1、INV2が直列接続された回路とされている。差動インバータINV1、INV2は、通常の差動増幅回路と類似の回路構成を備えており、電流源用MOSFET Qc1、Qc2のゲート端子に、前記バイアス回路109(図1参照)からのバイアス電圧NBiasが印加されて制御される。また、この電流源用MOSFET Qc1、Qc2と直列にスイッチ用MOSFET Qs1、Qs2が接続されており、2段目以降の遅延素子401b~401hのスイッチ用MOSFET Qs1、Qs2のゲート端子には、上記遅延段数制御回路403からの選択制御信号SEL0~SEL6が印加され、その信号がハイレベルにされている回路のみが動作するように構成されている。さらに、入力差動MOSFETのドレイン側にゲート・ドレイン結合のMOSFETと出力ノードがゲート端子に交差結合されたMOSFETとが並列に接続された負荷を有することにより、回路の対称性が保証され真側と偽側で信号の遅延が全く同じになる。また、2つの差動インバータINV1、INV2を直列に接続することで1つの場合よりも大きな遅延を作り出し



【0048】上記のように構成された可変遅延素子401a～401hは、バイアス電圧NB1ASの電位により差動インバータの動作電流が変化するので、その電流値の大きさによって信号が入力されてから出力されるまでの遅延量が変化する。具体的にはバイアス電圧NB1ASの電位が上昇すると遅延量は減少し、バイアス電圧NB1ASの電位が下降すると遅延量が増加する。

【0049】また、可変遅延素子401a～401hはバイアス電圧NB1ASの電位により動作電流が制御されるとともにこの電流源用MOSFET Qc1、Qc2と直列にスイッチ用MOSFET Qs1、Qs2が接続されているため、その出力は小振幅差動信号である。そこで、可変遅延素子401a～401hの出力信号をCMOSレベルに増幅するため、図6(B)に示すように差動増幅回路AMP0とその出力をさらに波形整形しCMOSレベルに変換して出力するインバータ回路INV0とから構成された差動アンプ402a～402hが設けられている。

【0050】この差動アンプ402a～402hは、上記遅延段数制御回路403からの活性化制御信号AM0～AM7により動作電流のオン、オフが制御され、電流遮断時には回路の動作を停止し、出力インバータ回路INV0によりロウレベル(0V)を出力する。差動増幅回路AMP0は、図4に示されている回路の一方の差動増幅回路と同一構成を有する。図4と異なり2つの差動増幅回路を組み合わせていないのは、差動アンプ402a～402hは差動出力でなくシングルの信号を出力すればよいためである。

【0051】遅延段数制御回路403は、可変遅延回路101に入力したクロックECKT、ECKBを、出力までの間に何段の可変遅延素子401を通すか制御する回路であり、差動アンプ402a～402hの出力TAP0～TAP7に基づいて遅延段数制御を行なうように構成されている。例として、4段の可変遅延素子401を通るようにする場合、信号SEL0～SEL3をハイレベルにし、SEL4～SEL6にロウレベルにする。また、差動アンプ402a～402hに対する活性化制御信号はAM4がハイレベルで、それ以外のAM0～AM3、AM5～AM7はロウレベルとする。これにより、可変遅延回路101に入力されたクロックECKT、ECKBは可変遅延素子401a～401dを通過するが、可変遅延素子401e～401hは回路動作を停止するため通過しないように制御される。そして、可変遅延素子401dの出力信号は、活性化制御信号はAM4により唯一活性化されている差動アンプ402dによってCMOSレベルに増幅され、マルチプレクサ404を通過してクロックQCKTとして出力される。このような制御により、クロックECKT、ECKBは入力から出力までに、4段の可変遅延素子401a～401dを通過したことになる。遅延段数制御回路403は可

変遅延素子401の段数を1～8まで任意に設定することができる。

【0052】なお、図5のように構成された可変遅延回路101においては、選択制御信号SEL0～SEL6をすべてハイレベルとして可変遅延素子401a～401hをすべて動作させても、活性化制御信号AM0～AM7により差動アンプ402a～402hのうちいずれか1つを選択的に活性化してやれば同様の遅延時間を得ることができるが、上記のように選択制御信号SEL0～SEL6によって余分な可変遅延素子401を停止させるようにした方が、消費電力を低減することができる。

【0053】マルチプレクサ404は、差動アンプ402a～402hの出力信号TAP0～TAP7から、一つの信号を選択しQCKTとして出力する回路であるが、図5の実施例の回路ではAM0～7により選択される差動アンプ402は1つだけであるので、マルチプレクサ404は単純な8入力論理和回路で良い。

【0054】図7には、遅延段数制御回路403の具体的な回路構成例が示されている。図7に示すように、遅延段数制御回路403は、差動アンプ402a～402hの出力信号TAP0～TAP7をそれぞれ入力データ信号としDLL制御回路106からの起動信号STRを共通のクロック入力とするフリップフロップFF0～FF6と、FF0の出力を反転するインバータG0と、各FF1～FF6の出力をそれぞれ一方の反転入力端子に受け前段のフリップフロップの出力を他方の入力端子に受けて論理積動作するANDゲートG1～G6と、インバータG0およびANDゲートG1～G6の出力信号を一方の入力信号とし、上記起動信号STRの反転信号を他方の入力信号とするORゲートG10～G16と、フリップフロップFF6の出力と起動信号STRの反転信号を入力信号とするORゲートG17とから構成されており、フリップフロップFF0～FF6の出力を遅延素子401a～401hに対する選択制御信号SEL0～SEL6として出力し、ORゲートG10～G17の出力を差動アンプ402a～402hに対する活性化制御信号はAM0～AM7として出力する。また、インバータG0の出力を後述の最小遅延信号MIN\_DLYとして出力する。

【0055】なお、遅延段数制御回路403は後に詳しく説明するように、出力する選択制御信号SEL0～SEL6は、フリップフロップFF0～FF6のある段i(i=0～6)を境にしてその前の段から出力される選択制御信号SEL0～SELiはハイレベルで後の段から出力される選択制御信号SELi+1～SEL6はロウレベルとされる。また、遅延段数制御回路403から出力される活性化制御信号AM0～AM7は、論理ゲートG0～G6の作用によってその段に対応する1つの信号AMi+1のみがハイレベルとされる。

【0056】可変遅延回路101から出力されるクロックQCKTは、DLL外部へ出力されるのと同時に、レプリカ遅延回路102へ入力される。前述したように、レプリカ遅延回路102は入力クロックQCKTに、入力バッファ140の遅延 $t_1$ および出力回路120の遅延 $t_3$ との和に相当する所定の遅延量( $t_1+t_3$ )を与える回路である。レプリカ遅延回路102の遅延量精度は、データ出力位相の精度に直接係わってくるため高精度のものが要求されるが、従来より既に幾つかの回路形式が提案されており、本実施例では従来より使用されているレプリカ回路を用いているのでここでは回路の詳細については省略する。要するにレプリカ遅延回路102は、入力バッファ140と同一構成の回路と出力回路120と同一構成の回路とを直列に接続した構成とされることで、所定の遅延量( $t_1+t_3$ )を得るようにされる。

【0057】レプリカ遅延回路102で遅延されたクロックRCKTは、分周回路105によって4分周され、クロックRCKT2とされる。また、入力バッファ140により取り込まれたクロックECKTも同様に分周回路104によって4分周され、クロックECKT2となる。この時のクロックECKT2の位相は、DLL制御回路から供給される制御信号2CKがロウレベルのとき図3(c)のECKT2( $n=1$ )の位相で、制御信号2CKがハイレベルであるとき、図3(d)のECKT2( $n=2$ )の位相となるように分周回路104が構成されている。分周回路104および105でクロックECKTおよびRCKTの分周を行なうことによって、前述したように、ハーモニック・ロックを防ぐことができる。図8(A)、(B)に分周回路104、105の構成例が示されている。

【0058】分周回路104、105は、図8に示すように、それぞれ反転出力をデータ端子に入力した2つの非同期セット、リセット端子付きフリップフロップFF\_E0とFF\_E1により構成され、前段のフリップフロップFF\_E0のクロック端子にクロックECKTが入力されるとともに、前段のフリップフロップFF\_E0の出力Qが後段のフリップフロップFF\_E1のクロック端子に入力される。非同期セット、リセット端子付きフリップフロップFF\_E0とFF\_E1は入力クロックに係わりなく、セット端子Sにハイレベルが入力されれば非同期にセット状態とされ、出力Qがハイレベルに、また反転出力QBがロウレベルになる。また、リセット端子Rにハイレベルが入力されれば非同期にリセット状態とされ、出力Qがロウレベルに、また反転出力QBがハイレベルになる。

【0059】図8(A)に示すように、分周回路104には、リセット信号RSTと上記制御信号2CKまたはその反転信号とを入力信号とするANDゲートG11、G12が設けられ、ANDゲートG21の出力がフリッ

フフロップFF\_E0とFF\_E1のリセット端子に、またANDゲートG22の出力がフリップフロップFF\_E0とFF\_E1のセット端子に入力されている。これによって、制御信号2CKに応じて図3(c)の位相となるように分周されたECKT2( $n=1$ )、または図3

(d)の位相となるように分周されたECKT2( $n=2$ )が形成される。図8(B)に示すように、分周回路105は、リセット信号RSTが直接フリップフロップFF\_R0とFF\_R1のリセット端子に入力され、フリップフロップFF\_R0とFF\_R1のセット端子には接地電位が印加されており、分周出力信号の位相は固定されるようにされている。

【0060】なお、実施例においては、回路の説明を簡単にするため、分周回路105はレプリカ遅延回路102の直後に設けたが、レプリカ遅延回路102の前段に分周回路105を設けても良い。これにより、レプリカ遅延回路102の消費電流を低減することができる。この場合にも、前記式(1)が成立するので、出力データDQとデータストロープ信号DQSの位相は正しく制御される。

【0061】図9には、分周回路104、105で分周されたクロックECKT2とRCKT2の位相比較を行なう位相周波数検出回路107の具体例が示されている。位相周波数検出回路107は、2つのフリップフロップ501、502と1つのNORゲート回路503とから構成され、各々データ入力端子Dは電源電圧Vccに接続されるとともに、クロック端子に分周回路104、105で分周されたクロックECKT2とRCKT2がそれぞれ入力され、クロックの立ち上がり同期してデータ入力端子よりハイレベルを取り込む。また、フリップフロップ501、502は非同期リセット端子Rを持ち、このリセット端子にはフリップフロップ501、502の反転出力QBを入力信号とするNORゲート回路503の出力がリセット信号として入力されるように構成されており、リセット端子がハイレベルにされると、入力クロックの状態に係わらず直ちにQ出力がロウレベルに、またQB出力がハイレベルにリセットされる。

【0062】位相周波数検出回路107は、図3(c)と(e)のように、クロックRCKT2の立ち上がりエッジがECKT2の立ち上がりエッジよりも先に入力されると、フリップフロップ502の出力Qがハイレベル、反転出力QBがロウレベルにされ、図3(f)のように、位相の進みを示す出力信号VBDNがハイレベルに変化される。次に、クロックECKT2の立ち上がりエッジが入力されると、フリップフロップ501の出力Qがハイレベル、反転出力QBがロウレベルにされる。そして、フリップフロップ501、502の反転出力QBが共にロウレベルにされるとその直後に、NORゲート回路503の出力であるPFD\_RST信号にハイレ

ベルに変化される。PFD\_RST信号はフリップフロップ501、502のリセット端子に入力されており、出力Qは直ちにロウレベルに変化される。これにより、図3(f)、(g)のように、出力信号VBDNには長いパルスが、また出力信号VBUPには短いパルスが現われる。逆に、RCKT2の立ち上がりエッジよりもECKT2の立ち上がりエッジの方が早いと、出力信号VBDNには短いパルスが、また出力信号VBUPには長いパルスが現われる。

【0063】そして、VBUP、VBDN信号のパルス出力期間の差は、クロックECKT2とRCKT2の立ち上がりエッジの位相差に相当する。このVBUP、VBDN信号は、チャージポンプ回路108に入力され、検出された位相差に応じた電圧VBを発生する。チャージポンプ回路108は、図10に示されているように、抵抗611と複数のキャパシタ612a～612hからなる低域通過フィルタ610、2つの電流源601、602及び2つのMOSスイッチ603、604とから構成される。

【0064】ここで、チャージポンプ回路108にアップ信号VBUPの正パルスが入力されると、MOSスイッチ603が導通状態となり、電流源601からの電流I1がフィルタ610に供給されてキャパシタ612a～612hが充電されて出力電圧VBの電位が上昇する。一方、ダウン信号VBDNの正パルスが入力されると、MOSスイッチ604が導通状態となり、電流源602の電流I2によってフィルタ610のキャパシタ612a～612hから電荷が流れ出し、出力電圧VBの電位が下降する。

【0065】位相周波数検出回路107の構成上、入力信号VBUPとVBDNが同時にハイレベルとなることがある。その場合は、電流源601からの電流I1が直接電流源602へ流出し、出力電圧VBの電位は変化しない。よって、信号VBUPとVBDNのパルス幅の差だけ、出力電圧VBの電位が上昇もしくは下降する。

【0066】この実施例のチャージポンプ回路においては、フィルタ回路610のキャパシタ容量が、可変遅延回路101の遅延段数を制御する前述の選択制御信号SEL0～SEL6によって8つのキャパシタ612a～612hのそれぞれに対応して設けられているスイッチ613a～613hをオン、オフ制御することで、変更できるようになっている。これは、可変遅延回路101の遅延段数に応じてチャージポンプ回路108の出力電圧VBの変化量を調整して、可変遅延回路101における遅延量の変化をリニアにするためである。

【0067】すなわち、チャージポンプ108により生成された電圧VBは、図11に示されている(a)または(b)のカレントミラー回路からなるバイアス回路109へ供給され、このバイアス回路109の出力電流によって上記可変遅延回路101の可変遅延素子に流れる

電流が制御され、その電流の大きさによって各段の遅延量が増えるが、前述のように、動作する可変遅延素子の段数は選択制御信号SEL0～SEL6によって異なる。そのため、チャージポンプ回路108からの入力パルスに対する出力電圧VBの変化量が一定である場合には、動作する可変遅延素子の段数をkとすると可変遅延回路101のトータルの遅延時間はk倍となる。

【0068】すなわち、バイアス電圧VBが $\Delta VB$ だけ変化したとき、可変遅延素子が8段の場合の遅延時間 $t_2$ の変化量 $\Delta t_2$ は可変遅延素子1段の場合の変化量 $\Delta t_2$ の8倍となる。この影響により、遅延段数が多い場合にはDLL回路の位相変位が大きくなり、最悪の場合には回路が発振してしまう可能性がある。しかし、この実施例のチャージポンプ回路108においては、選択制御信号SEL0～SEL6によってキャパシタ612a～612hの容量値を制御して可変遅延回路101の遅延段が多くなると容量が大きくなるように変化させているため、入力パルスに対する出力電圧VBの変化量が反比例するようになる。その結果、信号VBUP、VBDNのパルス幅に対する可変遅延回路101の遅延時間 $t_2$ の変化量が動作段数に関わらずほぼ一定となり、動作が安定になる。

【0069】なお、図11(a)に示されているバイアス回路109では、単純なカレントミラー回路を用いているが、図11(b)に示すような構成のバイアス回路109を用いることにより可変遅延回路101の遅延量制御特性等を調整することも可能である。具体的には、図11(a)のバイアス回路はその入力電圧VB-出力電流特性が二次関数であるが、図11(b)に示した回路では、入力電圧VBと出力電圧NB IASによって発生する電流が一次関数となるため、図11(a)と比較して、電圧-遅延量制御特性がより線形に近くなる。

【0070】以上で、本実施例のDLL回路の構成についての説明を終了し、次に本実施例のDLL回路の制御方法について説明する。

【0071】まず、DLL回路における位相制御を説明すると、位相周波数検出回路107に入力されるクロックRCKT2の位相がECKT2の位相より進んでいる場合には、VBDNパルスが出力されてバイアス電圧VBの電位が下がり、可変遅延回路101の遅延量を増大させ、クロックRCKT2の位相が遅れるように制御される。一方、位相周波数検出回路107に入力されるクロックRCKT2の位相がECKT2の位相より遅れている場合には、VBUPパルスが出力されてバイアス電圧VBの電位が上がり、可変遅延回路101の遅延量を減少させ、クロックRCKT2の位相が進むように制御される。このようなフィードバックループによって、クロックECKT2とRCKT2の位相は常に等しくなるように調整され、式1が成り立ち、入力クロックCLK、 $\angle CLK$ と位相が一致したデータDQ0～DQ15

が出力される。

【0072】次に、ロックレンジを拡大するために、可変遅延回路101中の可変遅延素子401の段数をクロック周期 $t_{CK}$ に応じて変更する制御を、図12を用いて説明する。なお、バイアス電圧 $V_B$ は最初に $V_{cc}$ レベルにリセットされていて、可変遅延素子401a~401hの1段あたりの遅延量は $t_D$ であり、切替えスイッチ110、111はDLL制御回路106からの制御信号STRがロウレベルにされることにより第2レプリカ遅延回路103の出力を可変遅延回路101に供給する

ように切替えが行なわれているものとする。  
【0073】DLL制御回路106は、リセット信号RSTが入力されると、外部クロックCLK、 $\neg$ CLKを取り込む入力バッファ140の出力クロックICKTの立上がりタイミングT1に同期して、図12(b)のように変化する差動信号SCKT、SCKBを出力する。なお、DLL制御回路106に対するリセット信号RSTは、DDR SDRAMのコントロールロジックがモードレジスタ設定コマンドやセルフリフレッシュ終了コマンドSELFEXを受けたときなどに生成される。DLL

制御回路106から出力された信号SCKT、SCKBは第2レプリカ遅延回路103によって $(t_1 + t_3 + t_m)$ という量の遅延を与えられて図12(d)のような信号SRCKT、SRCKBとして出力される。ここで、 $t_m$ は、回路誤差やDLL動作開始後の電源電圧、温度の変化に対応するために予め設定された位相余裕である。 $t_m$ の詳しい意味は後述するが、例えば1n秒のような比較的短い時間とされる。  
【0074】信号SRCKT、SRCKBは切替えスイッチ110、111を通して図5のような構成を有する可変遅延回路101へ入力され、可変遅延回路101で可変遅延素子401の1段毎に $t_D$ の遅延が与えられ、図12(e)~(i)のような遅延信号が次々と形成される。遅延された信号は差動アンプ402a~402hを介して遅延段数制御回路403とマルチプレクサ404に供給される。一方、遅延段数制御回路403は、DLL制御回路106からの制御信号STRがロウレベルであるとき、ORゲートG10~G17の一方の入力信号をハイレベルとさせることにより活性化制御信号AM0~AM7をすべてハイレベルとして出力する。そのため、可変遅延回路101の差動アンプ402a~402hはすべて活性化され図12(e)~(i)の遅延信号は、TAP0、TAP1、……として次々に出力されマルチプレクサ404に供給され、このうちTAP1~TAP7は遅延段数制御回路403にも供給される。この時、マルチプレクサ404の出力は乱れるが、この状態\*

$$(t_1 + t_3 + t_m) + 4 \times t_D < t_{CK} < (t_1 + t_3 + t_m) + 5 \times t_D$$

……(式6)

の範囲にあることが分かる。

【0078】一方、位相制御開始直後の出力データDQ

\*では位相制御を行なわないため問題ない。

【0075】次に、図12(c)のように、SCKT、SCKB信号がステップ状に変化されてから $t_{CK}$ 後のタイミングT2でSTR信号がロウレベルからハイレベルへ変化したとすると、このSTR信号をクロックとして、図7の遅延段数制御回路403のフリップフロップFF0~FF6が、可変遅延回路101からの各遅延信号TAP1、TAP2、……を同時にラッチする。図12に示すタイミングの場合には、STR信号がロウレベルからハイレベルへ変化した時点では、TAP0~TAP3がハイレベルでTAP4以降はロウレベルである。そのため、遅延段数制御回路403のフリップフロップFF0~FF2にはハイレベルがラッチされ、FF3~FF6にはロウレベルがラッチされる。フリップフロップFF0~FF6のどこまでハイレベルがラッチされたか知ること、1クロック周期 $t_{CK}$ の間に信号が第2レプリカ遅延回路を経て可変遅延回路内で伝達する遅延段数が分かる。図12のタイミングの例では、 $t_{CK}$ の間にTAP3まですなわち4段目の可変遅延素子401dまで信号が伝達されたことが分かる。

【0076】そして、その結果、図7の遅延段数制御回路403では、フリップフロップFF0~FF6の出力信号SEL0~SEL6のうちSEL0~SEL2がハイレベルのままとされ、SEL3~SEL6はロウレベルに変化し、それによって、ORゲートG10~G17から出力される活性化信号AM0~AM7は、AM3のみがハイレベルとして出力される。そして、上記信号SEL0~SEL6及びAM0~AM7は、可変遅延回路101に供給され、その結果、動作する可変遅延素子の段数は4段に決定される。なお、動作する可変遅延素子401の段数が4段であるということは、このとき可変遅延回路101における遅延時間 $t_2$ は $4 \times t_D$ である。

【0077】上記のようにして、遅延段数制御回路403による可変遅延回路101の制御状態が確定すると、そのとき既に上記制御信号STRのハイレベルの変化によりスイッチ110、111が入力クロックICKT、ICKBを選択する側に切り替わっているため、位相制御が開始される。従って、位相制御開始直後のクロックCLK、 $\neg$ CLKの入力からデータDQの出力までの遅延量 $Ddq$ は、

$$Ddq = t_1 + t_2 + t_3$$

$$= t_1 + 4 \times t_D + t_3 \quad \dots\dots (式5)$$

である。ここで、図12から $t_{CK}$ は、

のクロックCLK、 $\neg$ CLKに対する位相差 $Pdq$ は、  
 $Pdq = Ddq - n \times t_{CK}$

で表わせる。ここでは、図12のように、 $n=1$ の場合を考えているので、 $Pdq = Ddq - t_{CK}$ であり、上記2つの式5, 6より、

$$-t_m > Pdq > -(t_m + t_D)$$

が得られる。これより、出力データDQの位相はクロックCLK、/CLKよりも $t_m \sim (t_m + t_D)$ だけ進んでいることが分かる。従って、4段で可変遅延回路101の段数は最適に制御されているといえることができる。ちなみに、可変遅延回路101の段数が3段の場合には出力データDQの位相はクロックCLK、/CLKよりも $(t_m + t_D) \sim (t_m + 2t_D)$ だけ進み、5段の場合には逆に出力データDQの位相は $(t_D - t_m) \sim (2t_D - t_m)$ だけ遅れることになるので、位相ロックまでの所要時間が長くなったりロックができない可能性がある。

【0079】上記のようにして可変遅延回路101における遅延段数が制御された状態でスイッチ110, 111が切り替わると、可変遅延回路101で遅延されたクロックがレプリカ遅延回路102で遅延されたクロックと入力バッファ回路140から供給されるクロックとが位相周波数比較回路107において位相比較され、上記位相差 $-t_m \sim -(t_m + t_D)$ が検出され、この位相差を少なくするような信号VBDNが出力され、これによって可変遅延回路101の遅延量が変化（最初は増加）されて位相差が減少し、これを繰り返すことでDLL回路は速やかに位相ロック状態となる。位相周波数比較回路107における位相比較は、出力データDQとクロックCLK、/CLKの位相との比較と同等であるので、位相ロック状態になると出力データDQの位相はクロックCLK、/CLKの位相と一致することとなる。

【0080】ところで、前述した可変遅延回路101の最適段数の測定は、通常は電源投入時等に行なわれるので、最適段数を設定した後に回路の電源電圧、温度等が変化し、入力バッファや出力回路の遅延時間 $t_1$ や $t_3$ が変化する可能性がある。この時 $t_1 + t_3$ の変化量が $t_m$ よりも小さければ、DLL回路は位相ロック状態からはずれることはない。従って、DLL回路が位相ロックするための位相余裕として予め所定量の $t_m$ を与えておくことで、位相ロック状態からはずれのを防止できる。また、回路誤差などが考えられる場合にもこの $t_m$ の大きさを調整することで誤差を吸収するだけの余裕を予め持たせることができる。このように、 $t_m$ 分の余裕を持たせることにより、電源電圧、温度、さらにはプロセスばらつきに対して安定な回路が得られる。

【0081】上記のように可変遅延回路101の遅延段数を調整可能とすることにより、段数固定の可変遅延回路と比較して広いロックレンジを得ることができるが、それでも $t_{CK}$ の最小値は遅延段数が1の場合における $t_D + t_1 + t_3$ に制限される。この制限を超えるために、本実施例においては、図2(B)に示すような、 $t$

$1 + t_2 + t_3$ を2クロック周期 $2t_{CK}$ と一致させる制御（2CKロック制御）を行なえるようにしている。以下、この2CKロック制御について説明する。

【0082】2CKロック制御を行う場合、DLL制御回路106は、図13に示されているように、SCKT, SCKB信号が変化してから、 $2 \times t_{CK}$ 後にSTR信号を立ち上げてやれば良い。言うまでもないが、 $t_1 + t_2 + t_3$ を $n$ クロック周期 $nt_{CK}$ と一致させる制御（ $n$ CKロック制御）も理論的には可能であり、そのときには、SCKT, SCKB信号が出力されてから、 $n \times t_{CK}$ 後にSTR信号を立ち上げてやることで、最適な段数を測定できる。

【0083】しかし、 $n$ CKロック制御をしようとすると、 $t_{CK}$ の最大値 $t_{CKmax}$ による制限が生じてくる。すなわち、可変遅延回路101の段数が可変であるため、最大段数を多くすることによって、 $t_{CKmax}$ の問題は回避できるが、その場合回路規模、消費電流の増加など、別の弊害が出てくるおそれがある。そこで、本実施例では、クロック周期 $t_{CK}$ が大きいときは1CKロック制御、 $t_{CK}$ が小さいときは2CKロック制御というように、 $n$ の値を2段階に切り替えることによって弊害を回避しつつロックレンジの拡大を図れるようにしている。また、本実施例では、2CKロック制御に切り替えた場合には、4分周回路104の位相を図3(d)のECKT2 ( $n=2$ ) のように変更する。

【0084】具体的には、図14(A)に示すような手順に従って、まずDLL動作開始直後に1CKロック制御時の段数測定を行なう（ステップS1）。その結果、可変遅延素子401の最適段数が1段か2段以上かを判定（ステップS2）し、2段以上であれば、1CKロック制御を行なう（ステップS3）。一方、可変遅延素子401の最適段数が1段であると判定された場合には、次に2CKロック制御において最適段数の測定（ステップS4）を行ない、測定された段数で2CKロック制御を行なう（ステップS5）。

【0085】なお、図14(B)に示されているように、図14(A)の手順とは逆に、DLL動作開始直後に2CKロック制御時の段数測定（ステップS11）を行ない、可変遅延素子401の最適段数が最大段数未満（本実施例においては8）か否かを判定（ステップS12）し、最大段数未満であれば2CKロック制御を行ない（ステップS13）、可変遅延素子401の最適段数が最大段数であれば、次に1CKロック制御において段数測定（ステップS14）を行ない、測定された段数で1CKロック制御（ステップS15）を行なうという手順で同様なロックレンジを得るようにしてもよい。

【0086】また、1CKロック制御と2CKロック制御を自動切替えにした場合、4分周回路104で分周された後のクロックの位相を、位相比較で最適な位相となるように変更するため、DLL制御回路106は段数制

御回路403から出力されるMIN\_DLY信号の値をラッチして、2CK信号を生成して分周回路104へ出力するように構成されている。MIN\_DLY信号は、図7を参照すると分かるように、可変遅延回路101の段数が最小の1段に設定されていることを示す信号であるので、図14(A)のステップS2の判定で2CKロック制御へ移行する場合に生成され、4分周器104はこの2CK信号を受けると分周クロックECKT2の位相を図3(d)のように変更する。

【0087】無論、nCKロック制御の選択は1CKロック制御と2CKロック制御に限るものではなく、1CKロック制御、2CKロック制御、3CKロック制御から選択するなど、さまざまな応用例が考えられる。この場合、4分周器104及び105における分周はnの2倍(最大3CKロックの場合は6分周、最大4CKロックの場合は8分周)にするのがよい。

【0088】なお、DDR SDRAMの規格からは外れるが、本実施例のDLL回路を搭載したSDRAMを使用する際に、SDRAMの外部からレジスタで動作周波数を設定できるように構成しておいて、DLL回路がその動作周波数を参照して1CKロック制御と2CKロック制御を切り替えるという応用も考えられる。

【0089】このようにnの値を切り替えることによって、最小クロック周期 $t_{CKmin}$ はDLL回路に使用されている回路の動作周波数限界まで小さくすることができる。しかし、nを大きくすると4分周器104及び105の分周比が増えていくので、4分周器104、105が8分周であるときには、位相制御は $8 \times t_{CK}$ に1回とせざるを得ず、nをむやみに大きくすると電圧や温度の急激な変化などにDLL回路が追従しなくなる可能性がある。しかし、入力バッファや出力回路の遅延時間である $t_1$ や $t_3$ の値はLSIのプロセステクノロジーが進歩しても劇的に減少することは考えにくいのに対し、クロック周期 $t_{CK}$ はプロセステクノロジーの進歩とともに、今後ますます減少し、nの値が大きくなることも考えられる。そこで、以下、分周器に依存しない制御方式の実施例について説明する。

【0090】図15は、図1の実施例で用いられている4分周器104、105を用いない制御方式を採用したDLL回路の実施例を示す。この実施例においては、4分周器104及び105がない代わりに、入力バッファ回路140と可変遅延回路101との間にパルス発生回路112が設けられている。また、バイアス発生回路109も図1のバイアス発生回路109とは回路形式が異なっている。

【0091】DDR SDRAMでは、DLL回路は出力データの位相を補正するために使用されるので、DLL回路が出力ラッチクロックQCKTを出力する必要はない。具体的にはアクティブコマンドACTV、もしくはリードコマンドREADが入力されたときのみ、クロ

ックQCKTが出力されればよい。そのことを利用して、本実施例のDLL回路は、以下のように動作するように構成されている。

【0092】図16は、例えばモードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELF Xが入力されDLL回路が動作を開始する際に、図15のDLL回路100における各信号の変化を示す。図16に示されているように、パルス発生回路112により発生される信号ECKTのパルスは、入力クロックICKTmサイクルすなわち $m \times t_{CK}$ に1回(図16では $m=4$ )である。ただし、アクティブコマンドACTVが入力されたことを示す信号ACTVがハイレベルに変化されると、その後パルス発生回路112は連続的にパルスを発生するように構成されている。パルス発生回路112は信号ECKTを入力クロックICKTから生成するため、信号ECKTのパルス幅はクロックICKTのパルス幅と同一である。なお、図16には示されていないが、パルス発生回路112は常に信号ECKTと逆相の信号ECKBを発生している。また、パルス発生回路112は、信号ECKTのパルスを発生してから $n \times t_{CK}$ (図16では $2 t_{CK}$ )後にECKTと同様なパルスPCKTを発生するように構成されている。

【0093】パルス発生回路112により発生された信号ECKTとECKBは可変遅延回路101へ入力され、 $t_2$ の遅延が与えられて信号QCKTとして出力される。信号QCKTはレプリカ遅延回路102へ入力され、 $(t_1 + t_3)$ の遅延が与えられて信号RCKTとして出力される。この信号RCKTと上記パルス発生回路112により発生された信号PCKTとが位相周波数検出回路107に入力され位相比較される。位相周波数検出回路107は信号RCKTの最初の立ち上がりエッジから、信号PCKTの最初の立ち上がりエッジまでに、信号RCKTの別の立ち上がりエッジが入力されてしまうと誤動作(ハーモニック・ロック)を引き起こす。

【0094】しかし、この実施例においては、信号ACTVがロウレベルの条件の下で、可変遅延回路101が最小遅延時間 $t_{2min}$ の状態から遅延時間 $t_2$ を徐々に大きくするように制御されるように構成されている。そのため、 $m > n$ であれば、信号RCKTの最初の立ち上がりエッジから信号PCKTの最初の立ち上がりエッジまでに、信号RCKTの別の立ち上がりエッジが入力されることはない。よって、信号ACTVがロウレベルであれば、誤動作の可能性はなく、信号RCKTの最初の立ち上がりエッジと信号PCKTの立ち上がりエッジとを一致させるような信号VBUPまたはVBDNを発生し、これによって可変遅延回路101の遅延時間が制御され、正しい位相ロックが行なわれる。

【0095】そして、上記のようにしてDLL回路が位相ロックすれば信号RCKTとPCKTの位相差はごく

微小であるため、その後に信号ACTVがハイレベル変化してパルス発生回路112が連続して信号ECKTにパルスを発生するようになって、位相周波数検出回路107における誤動作（ハーモニック・ロック）は発生しない。しかも、DDR SDRAMでは、規格により、DLL回路が動作を開始してから位相ロックするまで、最低でも $200 \times t_{CK}$ 期間はアクティブコマンドACTVの入力が禁止されているため、DDR SDRAMに搭載されるDLL回路として、本実施例のDLL回路を用いたとしても誤動作が起こることはない。

【0096】また、バイアス回路109は図11(c)に示すようにチャージポンプ回路からの電圧VBをゲート端子に受けるMOSFET Qcと直列にスイッチ用MOSFET Qsが接続された構成とされ、パルス発生回路112からは信号ECKTの立ち上がりエッジから信号PCKTの立ち下がりエッジまでバイアス回路109を有効にする信号VDL\_ACTVがMOSFET Qsに供給され、それによってバイアス回路109から可変遅延回路101に供給されるバイアス電圧NBIASがオン、オフ制御されるように構成されている。

【0097】この実施例のDLL回路では、入力クロックICKTのmサイクルに1回の位相比較が行なわれる。この実施例で、位相ロックするには $m > n$ であれば良いため、 $2 \times n$ 回に1回の位相比較しか行うことができない図1の実施例のDLL回路と比較して、nが大のとき位相比較の回数を多くすることができるため、この実施例のDLL回路は図1の実施例のDLL回路よりも優位となる。

【0098】さらに、図15の実施例のDLL回路が優位な点として、可変遅延回路101に間欠的にしか信号が入力されないことが上げられる。この実施例のDLL回路では、あらゆる $t_{CK}$ 、n、mの値に係わらず、図16に示すように、信号PCKTの発生が終了した後、次のECKTを発生する直前まで、VDL\_ACTVがロウレベルとされて、バイアス回路109から可変遅延回路101にバイアス電圧NBIASが印加されないように制御される。これによって、可変遅延回路101の動作を停止し、消費電流を低減することができる。

【0099】また、レプリカ遅延回路102の動作もmサイクルに1回となり、動作電流が $1/m$ となる。図1の実施例では4分周回路105をレプリカ遅延回路102の直前に設けることで動作電流を $1/2n$ に低減することができるが、本実施例の場合は、立ち下がりエッジもレプリカ遅延回路102で遅延されるため、立ち下がりエッジの制御を行う場合に有利である。

【0100】このように、DLL回路全体のスタンバイ時（ACTV=0）の消費電流が低減されるため、この実施例のDLL回路を搭載したDDR SDRAMの消費電流を低減することができる。

【0101】また、DLL回路の消費電流低減と言う効

果はないが、図1の実施例において4分周器104及び105を分周回路ではなく、パルス発生回路としてもm回に1回の位相比較を行うことができる。具体的には、4分周器104及び105への入力クロックECKT、RCKTのmサイクルに1回、ECKT2、RCKT2をパルス信号として発生すれば、mサイクルに1回の割合で位相比較を行なわせることができる。この場合も、レプリカ遅延回路102の前にパルス発生回路を置くことによりレプリカ遅延回路の消費電流を低減でき、また立ち下がりエッジの制御を行うこともできる。

【0102】以上、DLL回路への適用例について述べてきたが、本発明はDLL回路に限らず、SMD、NDC、BDD、PLLなど様々な形式のクロック生成回路にも適用可能である。

【0103】図17は本発明をPLL（フェイズ・ロックド・ループ）方式のクロック生成回路に適用した場合の実施例を示す。本実施例は、図1のDLL回路とほぼ同様な構成を有する。図1のDLL回路との相違は、可変遅延回路101への入力を外部クロックCLK、/CLKではなく、自らの差動出力信号を論理（正負）を逆転してフィードバック入力して、リングオシレータとして動作させる点にある。なお、この実施例では、フィードバックループに余分な遅延はないので、可変遅延回路101の遅延量は $t_{CK}$ とほぼ等しくなるため、第2レプリカ遅延回路103の遅延量は $(t_1 + t_3 + t_m)$ ではなく、 $t_m$ とするのがよい。

【0104】本実施例のPLL回路においても、位相制御を開始する前に、スイッチ回路110、111を切り替えて第2レプリカ遅延回路103で生成したクロックSRCKT、SRCKBを可変遅延回路101に入力して遅延段数を決定した後、スイッチ回路110、111を切り替えて可変遅延回路101の出力クロックQCKT、QCKBを反転入力させる。すると、位相周波数比較回路107が可変遅延回路101の一方の出力QCKTをレプリカ遅延回路102で遅延し分周器105で分周したクロックRCKT2と入力バッファ回路140により取り込み分周器104で分周したクロックECKT2の位相を比較して位相差に応じた信号VBUP、VB DNを出力して可変遅延回路101の遅延時間を制御することで、外部クロックCLK、/CLKの位相に応じた所望の位相を有するクロックQCKT、QCKBを生成することができる。また、本実施例においても、外部クロックCLKの周期に応じてICKロック制御と2CKロック制御を切り替えることができ、それによってロックレンジを大幅に広げることができる。

【0105】図18は本発明をSMD（シンクロナス・ミラー・ディレイ）方式またはNDC（ネガティブ・ディレイ・サーキット）方式のクロック生成回路に適用した場合の実施例を示す。本実施例のSMD回路は、同一段数の遅延段を有する順方向遅延列171と逆方向遅延

10

20

30

40

50

列 172 を備え、順方向遅延列 171 の前段に前記実施例のレプリカ遅延回路と同様な遅延を与えるレプリカ遅延回路 173 が設けられているとともに、レプリカ遅延回路 173 で遅延する前のクロック FCLK と前記順方向遅延列 171 の各遅延段 171a ~ 171n から出力される遅延クロックの位相を比較する位相比較器 174a ~ 174n が設けられ、位相の一致が検出された遅延段に対応する逆方向遅延列 172 の遅延段にレプリカ遅延回路 173 で遅延する前のクロック FCLK を入力して逆方向へ伝達させることで、順方向遅延列 171 での遅延と同一の遅延を持ったクロック GCLK を出力することを基本構成とするものである。

【0106】かかる構成によれば、位相の一致が検出された遅延段の出力クロックはレプリカ遅延回路 173 で遅延する前のクロック FCLK と同一の位相であるため、逆方向遅延列 172 から出力されるクロック GCLK は、レプリカ遅延回路 173 で遅延する前のクロック FCLK に順方向遅延列 171 で検出された遅延と同一の遅延を与えたクロックすなわちクロック CLK よりも  $t_3$  だけ進んだすなわちマイナスの位相を有するクロックとなる。従って、この出力クロック GCLK を図 1 に示されている出力回路 120 のデータラッチクロック QCKT とすることで、外部クロック CLK と同位相でデータ DQ を出力させることができる (図 20 (A) 参照)。なお、この SMD 回路では、図 20 (A) のように 1 CLK ロック制御のときでも最初の出力は 2 サイクル後となるが、その後の出力は一つ前のクロックが順方向遅延列を進んでおりそれによってタイミングが決定されるため 1 サイクルで連続して出力可能となる。

【0107】この実施例の SMD 回路においては、前記レプリカ遅延回路 173 の前段に分周回路 170 が設けられている。そのため、この実施例では、レプリカ遅延回路 173 での遅延量 ( $t_1 + t_3$ ) には、分周回路 170 での遅延が含まれるようにする。この分周回路 170 は、1 CLK / 2 CLK 切替え制御回路 175 からの信号に基づいて、1 CLK ロック制御のときは外部クロック CLK を分周せずにそのままレプリカ遅延回路 173 に供給し、2 CLK ロック制御のときは外部クロック CLK を 2 分周したクロックをレプリカ遅延回路 173 に供給するように制御される。これによって、1 CLK ロック制御のときは外部クロックの周期  $t_{CK}$  と SMD 回路の遅延とが同一になるような制御が行なわれ、2 CLK ロック制御のときは外部クロックの 2 周期  $2 t_{CK}$  と SMD 回路の遅延とが同一になるような制御が行なわれる。そして、逆方向遅延列 172 の出力クロック GCLK は、クロック合成回路 176 よりクロック QCKT として出力される。

【0108】また、この実施例の SMD 回路においては、順方向遅延列 171 の各遅延段の出力とレプリカ遅延回路 173 で遅延される前のクロック FCLK の位相

を比較する位相比較器 174a ~ 174n の出力に基づいて、順方向遅延列 171 内で現在のクロックの位相に  $360^\circ$  の遅れをもたらす遅延段数を検出して 1 CLK ロック制御と 2 CLK ロック制御を切り替える 1 CLK / 2 CLK 切替え制御回路 175 が設けられている。この 1 CLK / 2 CLK 切替え制御回路 175 は、1 CLK ロック制御時に順方向遅延列 171 の検出段数が所定数よりも少なければ 2 CLK ロック制御に移行し、2 CLK ロック制御時に順方向遅延列 171 の検出段数が所定数よりも多ければ 1 CLK ロック制御に移行するように構成される。これにより、1 CLK ロック制御と 2 CLK ロック制御の切り替えが 1 CLK / 2 CLK 切替え制御回路 175 により自動的に行なわれる。

【0109】さらに、この実施例の SMD 回路においては、上記レプリカ遅延回路 173 と順方向遅延列 171 と位相比較器 174a ~ 174n と逆方向遅延列 172 と同様な回路がもう 1 組設けられている。そして、この回路には 2 CLK ロック制御時に分周回路 170 で 2 分周されたクロックが供給されるように構成されている。ただし、2 CLK ロック制御時には各組のレプリカ遅延回路 173 および位相比較器 174 には、互いに位相が入力クロック CLK の周期  $t_{CK}$  だけずれたクロックを供給するように制御される。2 分周されたクロックが順方向遅延列 171 に供給されると、その遅延列での遅延のみでは 1 周期に満たなくて位相比較器 174 が位相の一致を検出できない場合も出てくるが、周期  $t_{CK}$  だけずれたクロックを第 2 の組の順方向遅延列 171 に供給する。これにより、位相の一致する遅延段を検出することができる。そして、位相の一致が検出された組の逆方向遅延列 172 の出力クロック GCLK が、クロック合成回路 176 からクロック QCKT として出力される。

【0110】切り替えるタイミングについては特に限定しないが、毎回、数回に 1 回、DDR SDRAM に EMR S などの特定の命令が入力された場合、SMD 回路の動作開始直後、DDR SDRAM の動作開始直後等様々な実施例が考えられる。また、言うまでもないが、この実施例においても、1 CLK ロック制御と 2 CLK ロック制御との切り替えに限定されるのではなく、分周回路 170 の分周比を大きくして、1 CLK ロック制御、2 CLK ロック制御、3 CLK ロック制御切替えや 1 CLK ロック制御、2 CLK ロック制御、4 CLK ロック制御切替えなどを行なえるようにしてもよい。

【0111】図 19 は本発明を BDD (バイ・ディレクショナル・ディレイ) 方式のクロック生成回路に適用した場合の実施例を示す。本実施例の BDD 回路は、図 18 の SMD 回路の順方向遅延列 171 と逆方向遅延列 172 の両方の動作を併せ持つ双方向遅延列 181 ~ 188 を備えている。このうち、双方向遅延列 181 ~ 184 は正相側の外部クロック CLK に対応した回路であり、双方向遅延列 185 ~ 188 は逆相側の外部クロッ



ク／CLKに対応した回路である。また、双方向遅延列181、182と双方向遅延列185、186は1CKロック制御用の遅延列、双方向遅延列183、184と双方向遅延列187、188は2CKロック制御用の遅延列であり、双方向遅延列183、184、187、188は1CKロック制御時にはクロックの入力が遮断されて動作しないようにされる。双方向遅延列の構成そのものは従来より知られており、本実施例においては公知の双方向遅延列を用いているので、詳しい説明は省略するが、SMDと動作原理はほぼ同様であり、図20

(B)に示すように、クロック1周期 $t_{CK}$ の間にレプリカ遅延回路193を通して遅延段A0からAnに向かってある遅延段まで信号が進んだ所で入力バッファ140からのクロックの入力に起因して仮想的な折返し信号が発生され、それによって双方向遅延列を信号が折返してB0へ戻り、クロック合成回路190へ出力するように動作する。

【0112】分周回路180は、外部クロックCLKを分周する分周器DVD1と、DVD1の出力またはその反転出力を受ける分周器DVD2、DVD3と、DVD1の出力またはDVD2の出力を選択するセレクトSLT1と、DVD3の出力または固定電位(Vcc)を選択するセレクトSLT2とからなり、外部クロックCLKを2分周および4分周する機能を有するように構成されており、1CK/2CK切替え制御回路195により1CKロック制御のときは2分周クロックを、また2CKロック制御のときは4分周クロックを出力するように、上記セレクトSLT1、SLT2が制御される。分周器DVD2とDVD3にDVD1の出力またはその反転出力が入力されることによって、分周器DVD2とDVD3から出力されるクロックは、外部クロックの360°すなわち1周期 $t_{CK}$ だけ位相がずれた信号となる。さらに、分周回路180は、セレクトSLT1、SLT2により選択されたクロックと位相が180°ずれたクロックを生成するインバータINV11、INV12を備えている。これによって、位相が180°、360°、540°ずれた4つのクロックが生成される。

【0113】そして、1CK/2CK切替え制御回路195により、1CKロック制御のときは外部クロックCLKを2分周したクロックとそれと位相が180°ずれたクロックとが、双方向遅延列181と182に入力されて所望の遅延を有するクロックの生成が行なわれ、2CKロック制御のときは、外部クロックCLKを4分周したクロックとそれと位相が180°ずれたクロックとがラッチLT1およびANDゲートG21を介して双方向遅延列181に、また双方向遅延列181に入力されるクロックCLKと位相が1周期 $t_{CK}$ ずれたクロックとそれと位相が180°ずれたクロックとがラッチLT2およびANDゲートG22を介して双方向遅延列182に入力されるように制御される。そして、上記ANDゲ

ートG21、G22の他方の入力端子にレプリカ遅延回路193で外部クロックを( $t_1+t_3$ )遅延したクロックが入力されるように構成される。

【0114】双方向遅延列185～188についても外部クロック／CLKが入力される点が異なるのみでその動作は双方向遅延列181～184と同様である。双方向遅延列185～188を設けることにより、双方向遅延列181～184で出力クロックQCKTの立上がり規制し、双方向遅延列185～188で出力クロックQCKTの立下がりを規制するようにすることができる。また、この実施例においても、双方向遅延列181の各遅延段A0～Anからの信号に基づいて1CK/2CK切替え制御回路195がクロックの周期を検出して、1CKロック制御と2CKロック制御の切り替えを自動的に行なうように構成することができる。

【0115】図22は、本発明を適用したDLL回路を搭載したDDR SDRAMのブロック図である。

【0116】図22のSDRAMは、複数のメモリセルがマトリクス状に配置された例えば4つのバンクからなり全体で256メガビットのような記憶容量を有するメモリセルアレイ200A～200Dと、外部から入力されるアドレスA0～A14を内部に取り込むアドレスバッファ204と、前記アドレスバッファ204により取り込まれたアドレスのうち行アドレスをラッチする行アドレスラッチ205と、前記アドレスバッファ204により取り込まれたアドレスのうちバンクアドレスをデコードしてメモリセルアレイ200A～200Dのいずれかを選択するバンク選択回路212と、列アドレスをラッチする列アドレスラッチ206と、行アドレスをデコードしてメモリアレイ200A～200D内のワード線を選択する行アドレスデコーダ201A～201Dと、ワード線の選択によりビット線に読み出された信号を増幅するセンスアンプ回路203A～203Dと、列アドレスラッチ206にラッチされた列アドレスを内部で自動的に更新する列アドレスカウンタ207と、列アドレスをデコードしてメモリアレイ200A～200D内のカラム(ビット線)を選択する列アドレスデコーダ203A～203Dと、外部から入力されるチップセレクト信号/CSなどの制御信号を受けて内部の制御信号を生成するコントロールロジック209と、前記メモリセルアレイ200A～200Dから読み出されたデータを外部に出力するデータ出力バッファ211と、前記出力バッファ211から出力されるデータのタイミングを示すデータストロブ信号DQSの出力バッファ215と、前記出力バッファ211から出力されるデータのタイミングを制御する本発明に係るDLLからなるクロック生成回路214と、外部から入力されるデータを受け入力バッファ210と、外部から入力される制御信号に基づいてメモリセルアレイ200A～200Dのリフレッシュを行なうリフレッシュ制御回路208と、外部

から入力されるアドレス信号の一部に基づいて動作モードを設定するモードレジスタ213などを備えている。

【0117】前記コントロールロジック209に外部から入力される制御信号としては、チップを選択状態にする前記チップセレクト信号／CSの他、互いに逆相の一对のクロックCLK、／CLK、クロックが有効であることを示すクロックイネーブル信号CKE、行アドレスストロブ信号／RAS（以下、RAS信号と称する）、列アドレスストロブ信号／CAS（以下、CAS信号と称する）、データの書き込み動作を指示するライトイネーブル信号／WE、データの入出力タイミングを示すデータストロブ信号DQS、データの入出力を禁止するデータマスク信号DMなどがある。これらの信号のうち符号の前に“／”が付されているものは、ロウレベルが有効レベルであることを意味している。コントロールロジック209は、入力コマンドのうちモードレジスタへの設定を指示するMRSコマンドに応じて、内部レジスタにCASレイテンシの値等が保持される。

【0118】この実施例のDDR SDRAMにおいては、外部クロックCLK、／CLKはクロックイネーブルCKE信号がハイレベルであるときコントロールロジック209に対して有効とされる。DLLから出力される内部クロックはDDR SDRAMの読出し（READ）動作時に必要になるため、ここではDDR SDRAMにおける読出し動作について説明する。

【0119】DDR SDRAMに限らずアドレスマルチプレクスを採用しているDRAM（ダイナミック・ランダム・アクセス・メモリ）は、アクティブコマンドACTVの入力により行アドレスが取り込まれてメモリセルアレイ200A～200Dがアクティブ状態にされる。その後、読出しコマンドREADが入力されると列アドレスが取り込まれてカラムの選択が行なわれる。

【0120】DDR SDRAMではデータ入出力の効率を上げるため、4つのメモリセルアレイ200A～200Dに分割されている。メモリセルアレイ200A～200Dをアクティブにするために、CLKが立ち上がり側のCLK、／CLKのクロスポイント時に、CKE=1、／CS=0、／RAS=0、／CAS=1、／WE=1という信号の組合せからなるアクティブコマンドACTVが入力されると、アドレス信号A0～A14信号はバンクアドレス信号と行アドレス信号とに分割され、それぞれバンク選択回路212と行アドレスラッチ206へ取り込まれる。そして、バンクアドレス信号に対応したバンクと行アドレス信号に対応したワード線が選択されると、選択ワード線に接続されているメモリセルのデータがビット線に読み出されてセンスアンプ回路202A～202Dによって増幅され、保持される。

【0121】その後、センスアンプ回路202A～202Dから目的のデータを読み出すため、列アドレスを指定する。CLKが立ち上がり側のCLK、／CLKのク

ロスポイント時に、CKE=1、／CS=0、／RAS=1、／CAS=0、／WE=1という信号の組合せからなる読出しコマンドREADが入力されると、アドレス信号A0～A14信号はバンクアドレス信号と列アドレス信号とに分割され、それぞれバンク選択回路212と列アドレスラッチ206へ取り込まれる。／WE=1が指定されているため、コントロールロジック209は読み出し動作であることを認識し、バンクアドレス信号で指定されたバンクがアクティブであれば読み出し動作を開始する。そして、列アドレスデコーダ203A～203Dによって選択されたカラムのデータはデータ出力バッファ211へ読み出され、DLL214から出力される内部クロックのタイミングでラッチされる。DLL214から出力される内部クロックは、前述したように、データ出力バッファ211における遅延の分だけ、CLK、／CLKに対して早い位相を持っているため、出力データDQは外部クロックCLK、／CLKと同位相となる。

【0122】また、DDR SDRAMは、アクティブコマンドACTVが発行されてから読出しコマンドREADが発行できるようになるまでのサイクル数、読出しコマンドREADが発行されてからデータが出力されるまでのサイクル数、DLLのオン／オフなど、様々な動作条件を内部レジスタ213に保持する。この内部レジスタ213の値を書きかえるためのコマンドが存在する。DDR SDRAMは大きく分けて2種類の内部レジスタが存在し、それぞれMRS（モードレジスタセット）コマンド及びEMRS（エクステンディッドモードレジスタセット）コマンドで内容を書きかえる。CLKが立ち上がり側のCLK、／CLKのクロスポイント時に、CKE=1、／CS=0、／RAS=0、／CAS=0、／WE=0という信号の組合せが入力され、例えばその時のアドレス信号A14の値が“0”の場合はMRSコマンド、A14が“1”の場合にはEMRSコマンドとなる。A14以外のアドレスの入力によって、レジスタの内容が適宜書き換えられる。

【0123】また、DLL214は、電源投入直後もしくはセルフリフレッシュ状態から抜けたときにモードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELFXが入力されることにより動作を開始するようにされる。この時DDR SDRAMの規格によって、図21に示すように、モードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELFXが入力されてから、最低でも200サイクルの期間READコマンドを投入することは禁止されている。したがって、この200サイクルの間に、DLLでの位相ロック動作が完了すればよく、前記実施例のDLLではそのような位相ロックが可能である。しかも、モードレジスタ設定コマンドMRSやセルフリフレッシュ終了コマンドSELFXが入力されるときに、クロックの周期が変

更されていても前記実施例のDLLを搭載したSDRAMでは周期に応じた位相ロックが行なわれる。従って、クロック周波数の遅い低消費電力モードを有するシステムでは、前記実施例のDLLを搭載したSDRAMの消費電力も低減することができる。

【0124】以上、本発明よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、本実施例では可変遅延回路の段数切り替えとnCKロック制御の切り替えの両方を行なえるよう構成されている実施例を説明したが、段数は切り替えずに、nCKロック制御の切り替えのみを行えるように構成することも可能である。その場合は、可変遅延回路の出力とSTR信号を比較して1CKロック制御と2CKロック制御を切り替えるようにすることができる。また、実施例においては、DLL制御回路が、前記可変遅延回路からの信号に基づいて可変遅延回路の入力から固定遅延回路の出力までの遅延量のクロックサイクル数を制御するように構成されているが、DLL制御回路にレジスタ等の設定手段を設けておいて、そのレジスタの設定情報に基づいてクロックサイクル数を制御するように構成することも可能である。

【0125】また、ハーモニックロックを防ぐため、ECKT2の位相を1CKロックと2CKロックとで変更したが、RCKT2の位相を変更するか、もしくは、ECKT2、RCKT2の両者を変更することでも同様の効果が得られる。

【0126】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。すなわち、本発明に従うと、SDRAMなどに内蔵されるクロック生成回路を構成するDLL回路において、可変遅延回路の段数を切り替えるとともに、1CKロック制御と2CKロック制御を切り替えることにより、広いロックレンジのDLLを実現することができる。また、DLL回路の可変遅延回路において所定の遅延段以降の遅延段の動作を停止させることができるため、DLL回路の消費電流を低減させることができる。さらに、本発明によれば、SMD回路やBDD回路においても1CKロック制御と2CKロック制御を切り替えることにより、広いロックレンジのDLLを実現することができる。

【図面の簡単な説明】

【図1】本発明を適用したDLL回路の一実施例の概略構成を示すブロック図である。

【図2】実施例のDLL回路における1CKロック状態と2CKロック状態における外部クロックの周期と内部遅延との関係を示す説明図である。

【図3】実施例のDLL回路におけるハーモニックロ

ックを説明するタイミング図である。

【図4】本発明を適用して有効な半導体記憶装置の一例としてのSDRAMにおける入力バッファ回路の具体例を示す回路図である。

【図5】実施例のDLL回路における可変遅延回路の具体例を示すブロック図である。

【図6】実施例のDLL回路における可変遅延回路を構成する可変遅延素子の具体例を示す回路図である。

【図7】実施例のDLL回路における遅延段数制御回路の具体例を示す回路図である。

【図8】実施例のDLL回路における分周回路の具体例を示すブロック図である。

【図9】実施例のDLL回路における位相周波数検出回路の具体例を示すブロック図である。

【図10】実施例のDLL回路におけるチャージポンプ回路の具体例を示す回路図である。

【図11】実施例のDLL回路におけるカレントミラー型バイアス回路の具体例を示す回路図である。

【図12】実施例のDLL回路における1クロックサイクルでの段数測定の際の各信号の変化を示すタイミング図である。

【図13】実施例のDLL回路における2クロックサイクルでの段数測定の際の各信号の変化を示すタイミング図である。

【図14】実施例のDLL回路におけるnCKロック及び段数決定処理の手順を示すフローチャートである。

【図15】本発明を適用したDLL回路の第2の実施例を示すブロック図である。

【図16】実施例のDLL回路における位相比較時の各信号の変化を示すタイミング図である。

【図17】本発明をPLL回路に適用した場合の実施例を示すブロック図である。

【図18】本発明をSMD回路に適用した場合の実施例を示すブロック図である。

【図19】本発明をBDD回路に適用した場合の実施例を示すブロック図である。

【図20】SMD回路とBDD回路の動作を示すタイミング図である。

【図21】SDRAMにおけるSELF命令入力からREAD命令投入までのサイクル数を説明するタイミング図である。

【図22】本発明を適用したDLL回路を用いたDDR SDRAMの実施例を示すブロック図である。

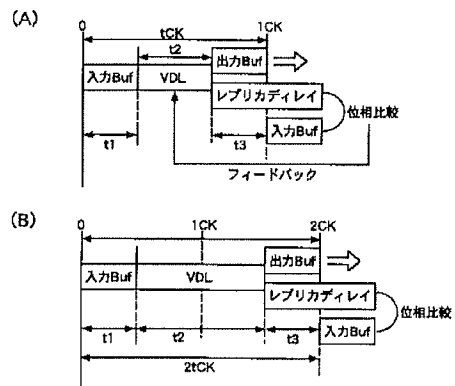
【符号の説明】

- 101 可変遅延回路
- 102 レプリカ遅延回路
- 103 第2レプリカ遅延回路
- 104, 105 分周回路
- 106 DLL制御回路
- 107 位相周波数検出回路

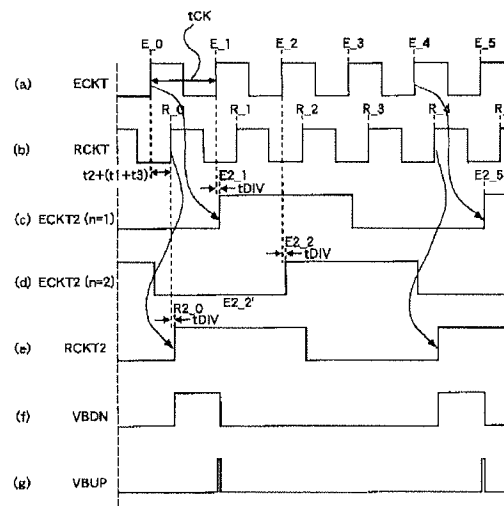
36

- |   |       |          |
|---|-------|----------|
| ＊ | 1 4 0 | 入力バッファ回路 |
|   | 4 0 1 | 可変遅延素子   |
|   | 4 0 3 | 遅延段数制御回路 |
| ＊ | 4 0 4 | マルチプレクサ  |

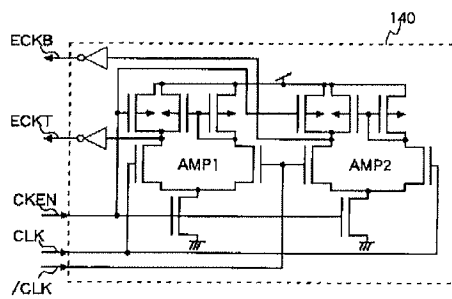
【図2】



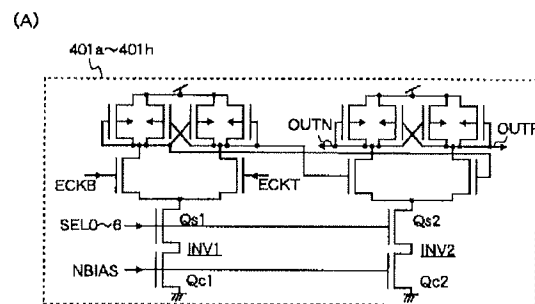
【図3】



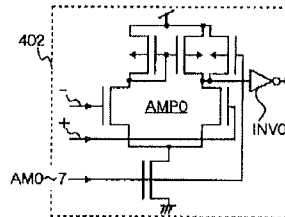
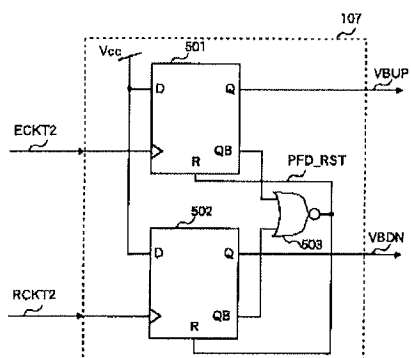
【図4】



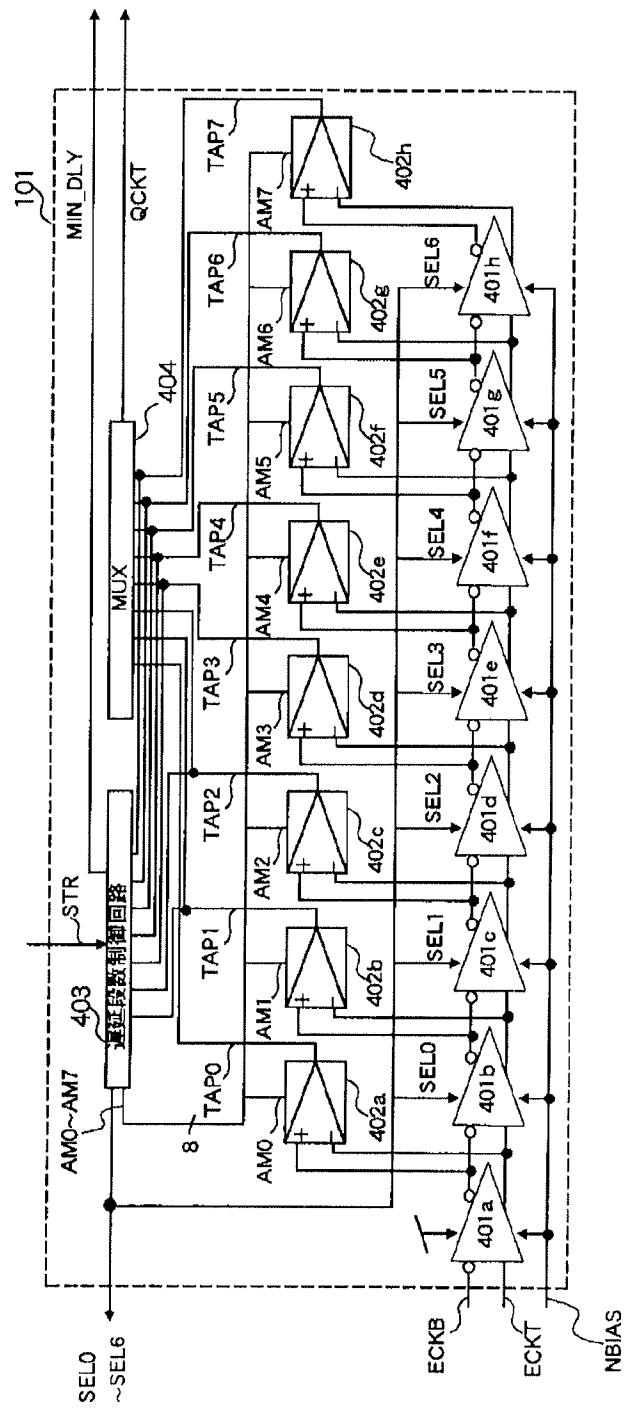
【図6】



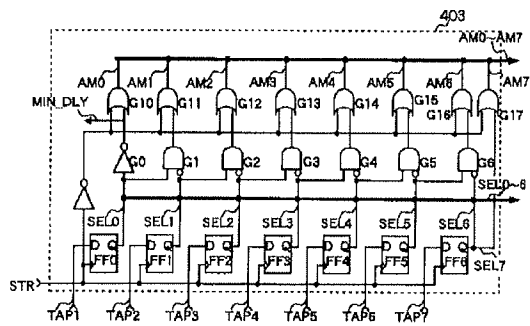
【図9】



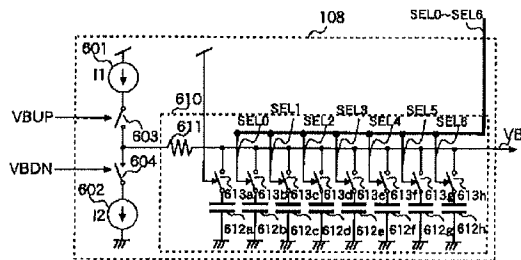
【図5】



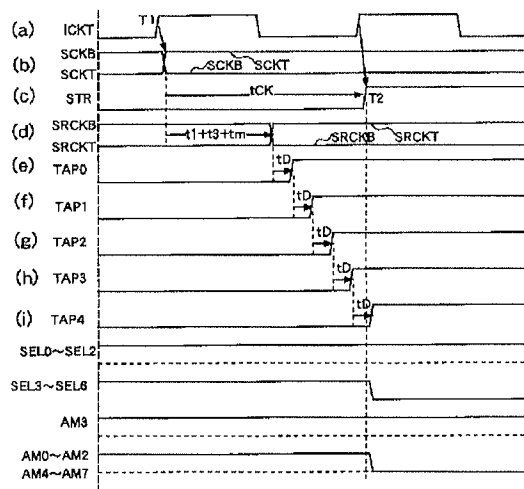
【図7】



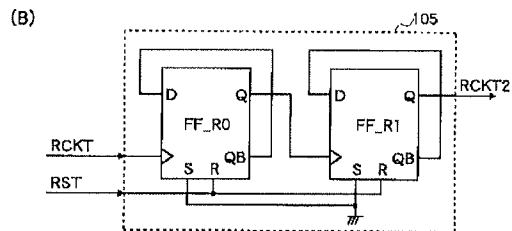
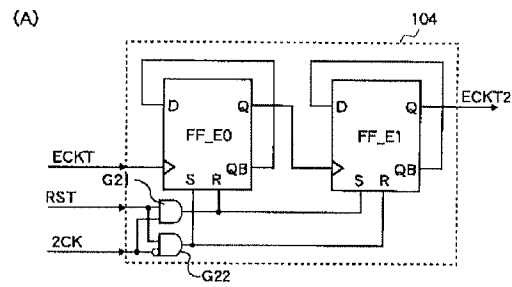
【図10】



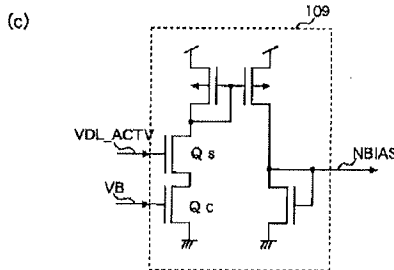
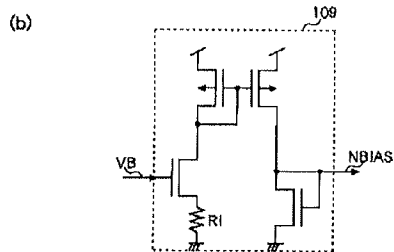
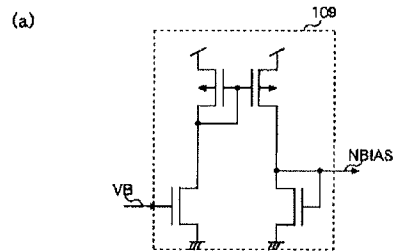
【図12】



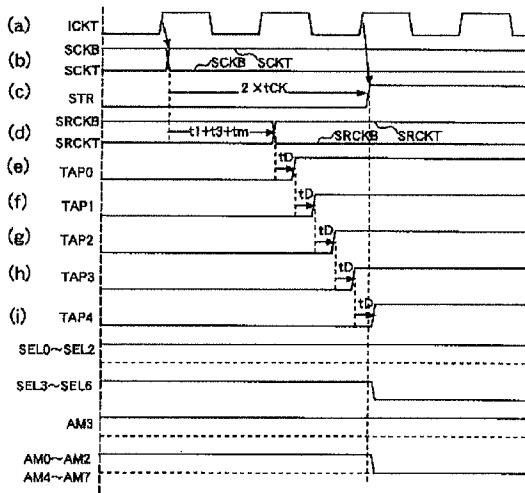
【図8】



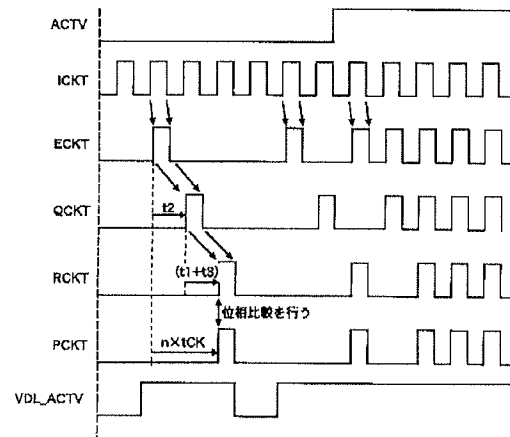
【図11】



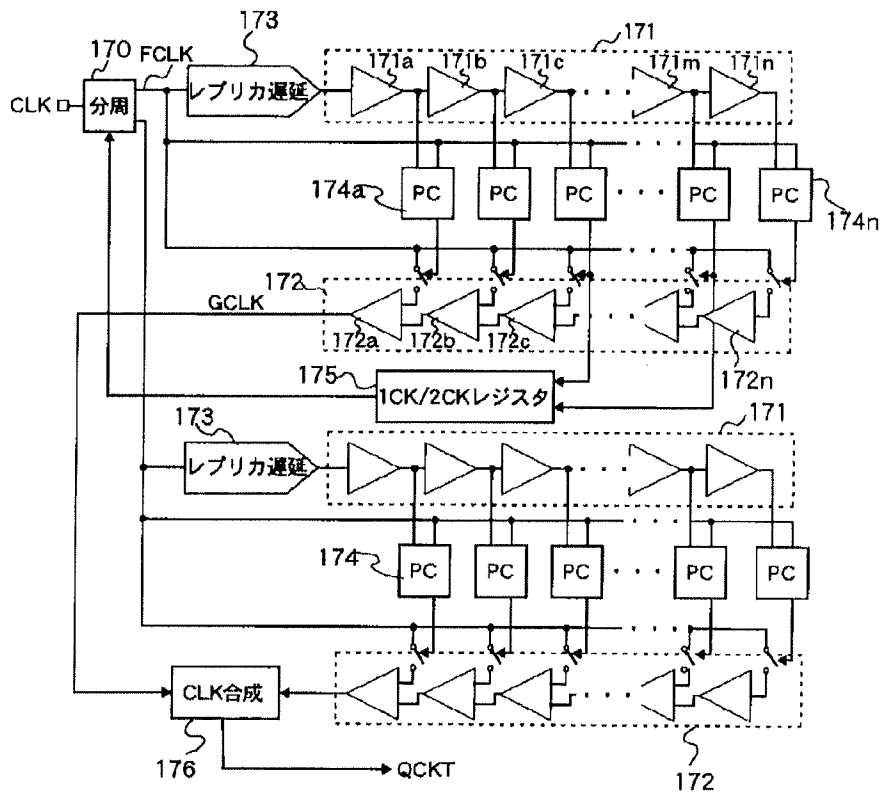
【図13】



【図16】



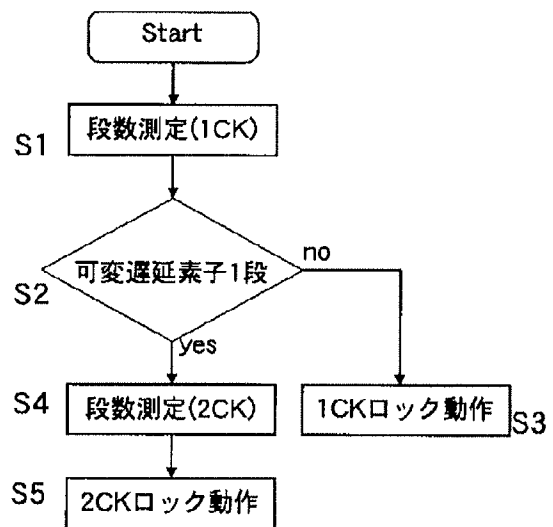
【図18】



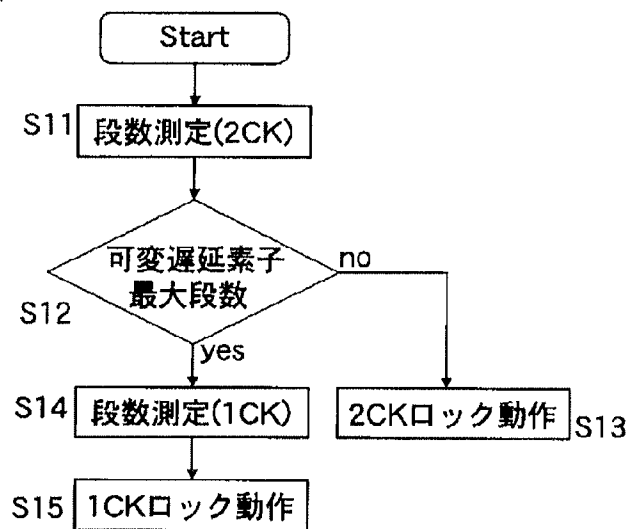


【図14】

(A)

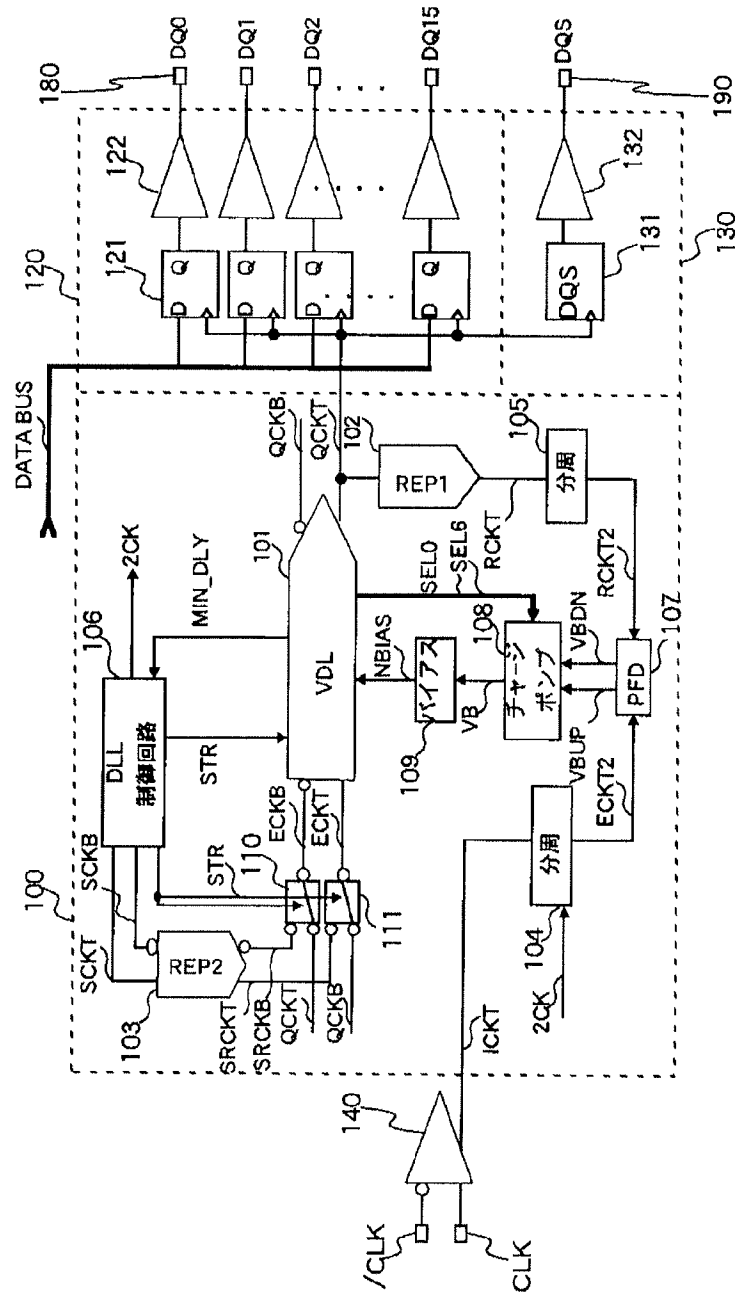


(B)

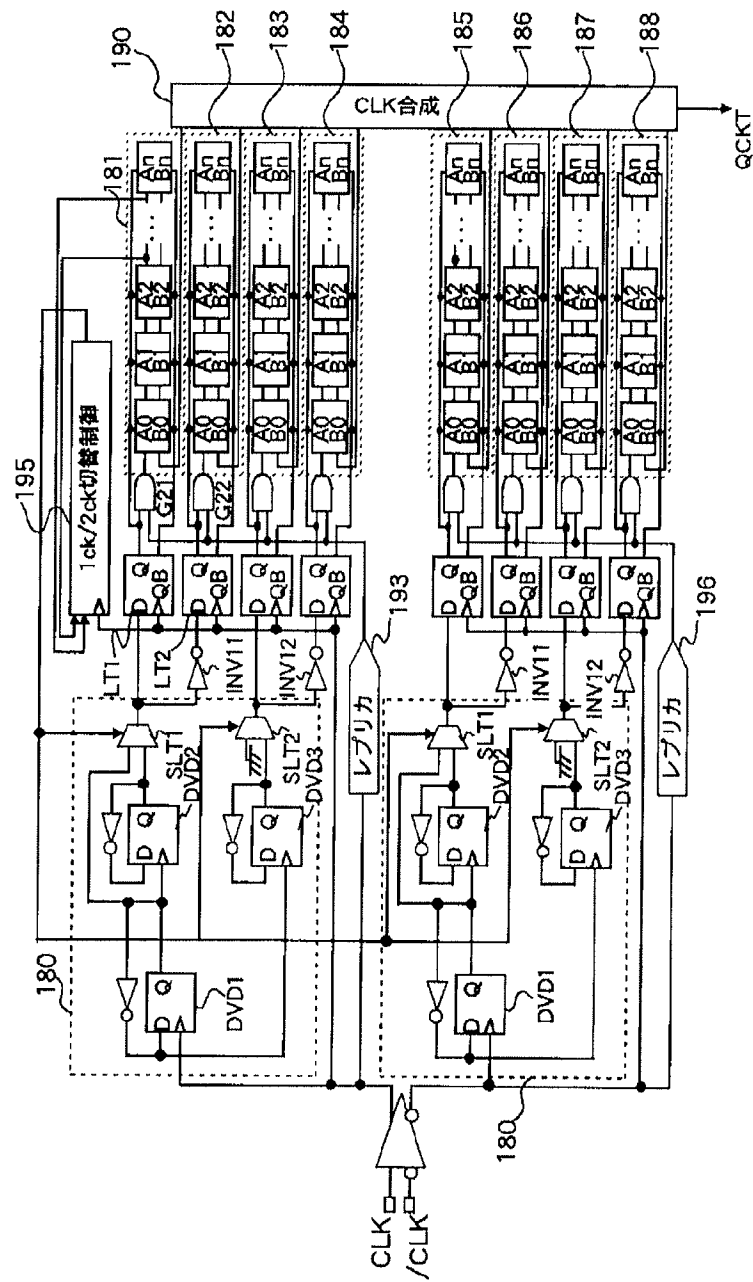


The diagram illustrates a PLL circuit (100) and its interface with a data bus (120) and external signals (130). The PLL circuit (100) includes a DLL control circuit (106) receiving SCKB and SCKT signals, and a VDL circuit (101) receiving MIN\_DLY and SEL0~SEL6 signals. A feedback loop consists of a divider (109), a phase-locked loop (112), and a phase-frequency detector (107). The output of the PLL is QCKT, which is connected to the data bus (120). The data bus (120) is also connected to a series of D-type flip-flops (121) and multiplexers (122) that output data signals DQ0, DQ1, DQ2, ..., DQ15. A separate set of multiplexers (131) and a D-type flip-flop (132) output a data signal DQS. The circuit is controlled by an external clock (CLK) and its complement (/CLK) through an inverter (140), and an active signal (ACTV).

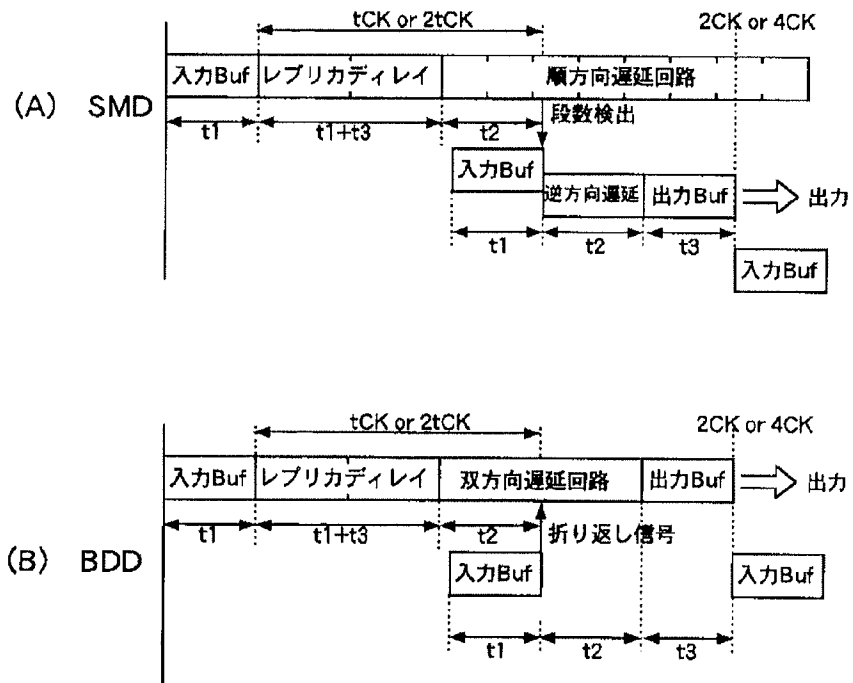
【図17】



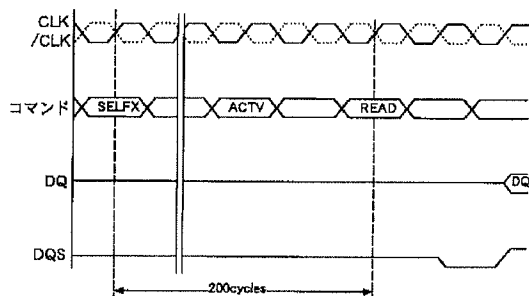
【図19】



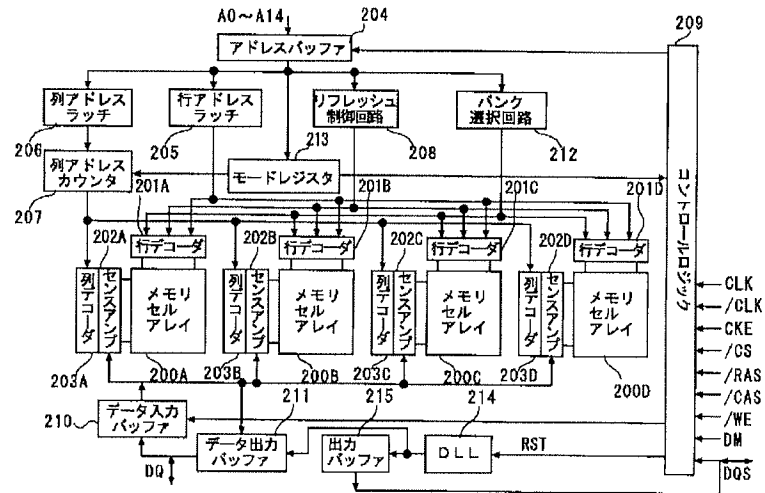
【図 20】



【図 21】



【図22】



フロントページの続き

(72)発明者 千々崎 英夫

千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 宮下 広基

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

Fターム(参考) 5B024 AA01 AA15 BA21 BA23 CA07

5B079 BA20 BB10 BC03 CC02 CC13  
DD03 DD06

5J001 AA04 BB00 BB05 BB08 BB09

BB11 BB12 BB14 BB24 BB25

CC00 DD05 DD09

5J106 AA04 CC24 CC31 CC52 CC58

CC59 DD32 DD42 DD43 DD48

GG10 HH02